

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Naoto HORIGUCHI**

Serial Number: **Not Yet Assigned**

Filed: **February 2, 2004**

For: **SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME**

Attorney Docket No. **042073**

Customer No.: **38834**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 2, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


Japanese Appln. No. 2003-053330, filed on February 28, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/yap

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 3 3 3 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 3 3 3 0]

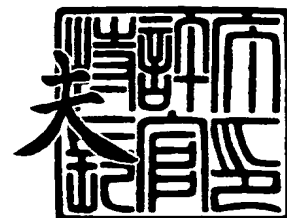
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 1 1 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0340013

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 堀口 直人

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、

前記ゲート電極の側方に形成された 1 対の第 1 のサイドウォール絶縁膜と、

前記ゲート電極との間で前記第 1 のサイドウォール絶縁膜を挟み、その幅が前記第 1 のサイドウォール絶縁膜の幅よりも広い 1 対の第 2 のサイドウォール絶縁膜と、

前記半導体基板の表面に第 1 の深さで、前記ゲート電極及び前記第 1 のサイドウォール絶縁膜に対して自己整合的に形成され、リンを含有する 1 対の第 1 の N 型不純物拡散層と、

前記半導体基板の表面に前記第 1 の深さよりも深い第 2 の深さで、前記ゲート電極、前記第 1 のサイドウォール絶縁膜及び前記第 2 のサイドウォール絶縁膜に対して自己整合的に形成された 1 対の第 2 の N 型不純物拡散層と、

前記 1 対の第 2 の N 型不純物拡散層の間に形成され、夫々が前記 1 対の第 1 の N 型不純物拡散層の夫々に隣接する 1 対の P 型不純物拡散層と、

を有することを特徴とする半導体装置。

【請求項 2】 前記第 1 のサイドウォール絶縁膜の幅は、5 乃至 15 nm であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板と、

前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、

前記ゲート電極の側方に形成された 1 対のサイドウォール絶縁膜と、

前記半導体基板の表面に第 1 の深さで、前記ゲート電極に対して自己整合的に形成された 1 対の第 1 の P 型不純物拡散層と、

前記半導体基板の表面に前記第 1 の深さよりも深い第 2 の深さで、前記ゲート電極及び前記サイドウォール絶縁膜に対して自己整合的に形成された 1 対の第 2 の P 型不純物拡散層と、

前記 1 対の第 2 の P 型不純物拡散層の間に形成され、夫々が前記 1 対の第 1 の

P型不純物拡散層の夫々に隣接し、リンを含有する1対のN型不純物拡散層と、
を有することを特徴とする半導体装置。

【請求項4】 前記ゲート電極の長さが100nm以下であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板の表面にP型不純物を導入することにより、1対のP型不純物拡散層を形成する工程と、

前記ゲート電極の側方に1対の第1のサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記第1のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面に少なくともリンを導入することにより、1対の第1のN型不純物拡散層を第1の深さで形成する工程と、

前記ゲート電極との間で前記第1のサイドウォールを挟み、その幅が前記第1のサイドウォール絶縁膜の幅よりも広い1対の第2のサイドウォール絶縁膜を形成する工程と、

前記ゲート電極、前記第1のサイドウォール絶縁膜及び前記第2のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面にN型不純物を導入することにより、1対の第2のN型不純物拡散層を前記第1の深さよりも深い第2の深さで形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1のサイドウォール絶縁膜の幅を、5乃至15nmとすることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1のN型不純物拡散層中に導入されたN型不純物のうち、リンの割合を50原子%以上とすることを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板の表面に少なくともリンを導

入することにより、1対のN型不純物拡散層を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板の表面にP型不純物を導入することにより、1対の第1のP型不純物拡散層を第1の深さで形成する工程と、

前記ゲート電極の側方に1対のサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板の表面にP型不純物を導入することにより、1対の第2のP型不純物拡散層を前記第1の深さよりも深い第2の深さで形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項9】 前記N型不純物拡散層中に導入されたN型不純物のうち、リンの割合を30原子%以上とすることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記ゲート電極を形成する工程において、前記ゲート電極の長さを100nm以下とすることを特徴とする請求項5乃至9のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オフリーク電流の低減に好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近時、チップサイズの縮小化の要請等により、MOSトランジスタのゲート長の短縮が進められている。また、携帯電話等のバッテリー駆動される電子機器、即ち低オフリーク電流が特に必要とされる電子機器に用いられ、ゲート長が短いMOSトランジスタでは、そのエクステンション層の形成やポケット層の形成に当たって、N型の不純物としては、拡散係数が低いAsが用いられている。具体的には、PチャネルMOS（PMOS）トランジスタのポケット層及びNチャネルMOS（NMOS）トランジスタのエクステンション層に、N型不純物としてAsが用いられている。ゲート長の短縮に伴う短チャネル効果、特にオフリーク電

流の発生及びしきい値電圧の低下を抑制するためには、従来、チャネルの不純物濃度を高める方法を形成する方法が採られている。

【0003】

NMOSトランジスタを製造する場合、先ず、図26(a)に示すように、P型ウェルが表面に形成された半導体基板101上に、ゲート絶縁膜102及びゲート電極103を形成する。次に、図26(b)に示すように、ボロン(B)をイオン注入することにより、半導体基板101の表面にP型ポケット層104を形成する。このイオン注入は、平面視で互いに直交する4方向からの斜めイオン注入により行う。また、注入エネルギーを5乃至10keVとし、ドーズ量を1方向当たり 3×10^{12} 乃至 $1.8 \times 10^{13} \text{ cm}^{-2}$ とする。次いで、図26(c)に示すように、砒素(As)をイオン注入することにより、ポケット層104の表面にN型エクステンション層106を形成する。このイオン注入は、半導体基板101の表面に垂直な方向から行う。また、注入エネルギーを2乃至5keVとし、ドーズ量を 5×10^{14} 乃至 $3 \times 10^{15} \text{ cm}^{-2}$ とする。その後、深いN型ソース・ドレイン拡散層等を形成してNMOSトランジスタを完成させる。

【0004】

一方、PMOSトランジスタを製造する場合には、先ず、図27(a)に示すように、N型ウェルが表面に形成された半導体基板131上に、ゲート絶縁膜132及びゲート電極133を形成する。次に、図27(b)に示すように、Asをイオン注入することにより、半導体基板131の表面にN型ポケット層134を形成する。このイオン注入は、平面視で互いに直交する4方向からの斜めイオン注入により行う。また、注入エネルギーを40乃至80keVとし、ドーズ量を1方向当たり 3×10^{12} 乃至 $1.5 \times 10^{13} \text{ cm}^{-2}$ とする。次いで、図27(c)に示すように、Bをイオン注入することにより、ポケット層134の表面にP型エクステンション層136を形成する。このイオン注入は、半導体基板131の表面に垂直な方向から行う。また、注入エネルギーを0.2乃至0.5keVとし、ドーズ量を 5×10^{14} 乃至 $2 \times 10^{15} \text{ cm}^{-2}$ とする。その後、深いP型ソース・ドレイン拡散層等を形成してPMOSトランジスタを完成させる。

【0005】

【特許文献 1】

特開平 1 1 - 1 6 3 1 5 7 号公報

【特許文献 2】

特開平 5 - 2 6 7 3 3 1 号公報

【特許文献 3】

特開平 6 - 2 2 4 3 8 1 号公報

【特許文献 4】

特開平 6 - 3 3 8 5 9 1 号公報

【特許文献 5】

特開 2 0 0 0 - 1 9 6 0 7 7 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、近時、ゲート長が 1 0 0 n m 以下となり、ポケット層を形成してチャネルの不純物濃度を高めると、エクステンション近傍の P N 接合の電界が強くなり、ドレインーボディ間の B a n d - t o - B a n d トンネルリークが大きくなる。このトンネルリークにより、オフリーク電流が大きくなってしまいう問題がある。

【0 0 0 7】

本発明は、かかる問題点に鑑みてなされたものであって、ゲート長が 1 0 0 n m 以下であってもオフリーク電流を十分に抑制することができる半導体装置及びその製造方法を提供することを目的とする。

【0 0 0 8】

【課題を解決するための手段】

本願発明者は、上記課題を解決すべく、鋭意検討を重ねた結果、以下に示す発明の諸態様に想到した。

【0 0 0 9】

本発明に係る第 1 の半導体装置には、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の側方に形成された 1 対の第 1 のサイドウォール絶縁膜と、前記ゲート電極との間で前記第 1 のサイドウ

オール絶縁膜を挟み、その幅が前記第1のサイドウォール絶縁膜の幅よりも広い1対の第2のサイドウォール絶縁膜と、が設けられている。また、前記半導体基板の表面に第1の深さで、前記ゲート電極及び前記第1のサイドウォール絶縁膜に対して自己整合的に、リンを含有する1対の第1のN型不純物拡散層が形成されている。更に、前記半導体基板の表面に前記第1の深さよりも深い第2の深さで、前記ゲート電極、前記第1のサイドウォール絶縁膜及び前記第2のサイドウォール絶縁膜に対して自己整合的に、1対の第2のN型不純物拡散層が形成されている。そして、前記1対の第2のN型不純物拡散層の間に、夫々が前記1対の第1のN型不純物拡散層の夫々に隣接する1対のP型不純物拡散層が形成されている。

【0010】

本発明に係る第2の半導体装置には、半導体基板と、前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、前記ゲート電極の側方に形成された1対のサイドウォール絶縁膜と、が設けられている。また、前記半導体基板の表面に第1の深さで、前記ゲート電極に対して自己整合的に、1対の第1のP型不純物拡散層が形成されている。更に、前記半導体基板の表面に前記第1の深さよりも深い第2の深さで、前記ゲート電極及び前記サイドウォール絶縁膜に対して自己整合的に、1対の第2のP型不純物拡散層が形成されている。そして、前記1対の第2のP型不純物拡散層の間に、夫々が前記1対の第1のP型不純物拡散層の夫々に隣接し、リンを含有する1対のN型不純物拡散層が形成されている。

【0011】

本発明に係る第1の半導体装置の製造方法では、先ず、半導体基板上にゲート絶縁膜及びゲート電極を形成する。次に、前記ゲート電極をマスクとして、前記半導体基板の表面にP型不純物を導入することにより、1対のP型不純物拡散層を形成する。次いで、前記ゲート電極の側方に1対の第1のサイドウォール絶縁膜を形成する。その後、前記ゲート電極及び前記第1のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面に少なくともリンを導入することにより、1対の第1のN型不純物拡散層を第1の深さで形成する。続いて、前記ゲート電極との間で前記第1のサイドウォールを挟み、その幅が前記第1のサイドウォール

ル絶縁膜の幅よりも広い 1 対の第 2 のサイドウォール絶縁膜を形成する。そして、前記ゲート電極、前記第 1 のサイドウォール絶縁膜及び前記第 2 のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面に N 型不純物を導入することにより、1 対の第 2 の N 型不純物拡散層を前記第 1 の深さよりも深い第 2 の深さで形成する。

【0 0 1 2】

本発明に係る第 2 の半導体装置の製造方法では、先ず、半導体基板上にゲート絶縁膜及びゲート電極を形成する。次に、前記ゲート電極をマスクとして、前記半導体基板の表面に少なくともリンを導入することにより、1 対の N 型不純物拡散層を形成する。次いで、前記ゲート電極をマスクとして、前記半導体基板の表面に P 型不純物を導入することにより、1 対の第 1 の P 型不純物拡散層を第 1 の深さで形成する。その後、前記ゲート電極の側方に 1 対のサイドウォール絶縁膜を形成する。そして、前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板の表面に P 型不純物を導入することにより、1 対の第 2 の P 型不純物拡散層を前記第 1 の深さよりも深い第 2 の深さで形成する。

【0 0 1 3】

【発明の実施の形態】

以下、本発明の実施の形態について添付の図面を参照して具体的に説明する。

【0 0 1 4】

（本発明の基本的原理）

先ず、本発明の基本的原理について説明する。

【0 0 1 5】

MOS トランジスタのオフリーク電流は、チャネルの不純物濃度（チャネルドーズ量）に伴って変動し、従来の MOS トランジスタでは、チャネルドーズ量が高いほど、オフリーク電流が小さい。このため、従来、短チャネル効果を抑制するために、チャネルドーズ量を高める方法が採られている。しかし、前述のように、ゲート長がより短くなると、特に 1 0 0 nm 以下となると、チャネルドーズ量を高くしても、オフリーク電流がある値よりも下がらなくなってしまった。

【0 0 1 6】

そこで、本願発明者らがその原因を見出すべく鋭意検討を重ねた結果、次のような事項が明らかになった。図1は、NMOSトランジスタにおけるオフリーク電流の種類を示す断面図である。

【0017】

NMOSトランジスタでは、オフ状態では、例えば、半導体基板1上にゲート絶縁膜4を介して形成されたゲート電極5の電位が0Vと印加され、半導体基板1の表面に形成されたソース領域2の電位も0Vとされ、半導体基板1の電位も0Vとされ、半導体基板1の表面に形成されたド레인領域3に1.2Vの電圧が印加される。

【0018】

このとき、ソース領域2とド레인領域3との間にソースド레인(SD)間リーク電流が流れ、ゲート電極5とド레인領域3との間にゲートド레인(GD)間トンネルリーク電流が流れ、半導体基板1とド레인領域3との間にボディード레인(BD)間リーク電流が流れる。これらの総和がオフリーク電流となる。

【0019】

そして、PMOSトランジスタにおけるチャネルドーズ量とオフリーク電流との関係は、図2のようになる。従来のMOSトランジスタのゲート長では、ある程度のチャネルドーズ量であれば、オフリーク電流が許容される程度となっていた。この範囲では、図2に示すように、SD間リーク電流の影響が極めて大きく、また、BD間リーク電流の影響が極めて小さいため、チャネルドーズ量を高くすれば、SD間リーク電流が低減されてオフリーク電流が抑制される。

【0020】

しかし、従来、よりゲート長を短くするためには、より高いチャネルドーズ量が必要と考えられているが、チャネルドーズ量を高くしていくと、BD間リーク電流の影響が大きくなって、逆に、オフリーク電流が上昇するようになってしまう。つまり、図2に示すように、実線で示すオフリーク電流には極小値が存在するのである。

【0021】

このため、ゲート長が100 nm以下のMOSトランジスタでは、従来のように、単にチャネルドーズ量を高めるだけでは、オフリーク電流を低減することはできなくなっている。

【0022】

そこで、本願発明者らは、チャネル近傍での電界を弱めるべく、更に鋭意検討を重ねたところ、PMOSトランジスタでは、ポケット層の形成に敢えて拡散係数が大きいPを用いることにより、また、NMOSトランジスタでは、エクステンション層の形成にPを用いることにより、BD間リーク電流を抑制することができることに想到した。

【0023】

図3は、チャネルドーズ量とオフリーク電流との関係を、AsポケットとPポケットとを比較しながら示すグラフである。図3に示すように、PMOSトランジスタにおいては、Asポケットを用いた場合（実線）よりも、Pポケットを用いた場合（2点鎖線）の方が、BD間リーク電流が低くなり、その分だけオフリーク電流の極小値が低下している。このことは、チャネルドーズ量を上げることにより、オフリーク電流をより低減することができることを意味している。NMOSトランジスタにおいても、従来のAsエクステンション層の代わりにPエクステンション層を用いることで、同様の効果が期待できる。

【0024】

（NチャネルMOSトランジスタにおける効果）

次に、NMOSトランジスタにおけるPエクステンション層の効果について説明する。図4は、Asエクステンション層を備えたNMOSトランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。図4は、ポケット層の形成にBを用い、エクステンション層の形成にAsを用い、ソース・ドレイン拡散層の形成にPを用いて作製したNMOSトランジスタに対して測定を行った結果を示している。図4中、▲、●、◆ではポケット層のドーズ量が相違しており、及び◆のドーズ量は、夫々▲のドーズ量の1.5倍、2倍である。

【0025】

図4に示すように、115 nm (0.115 μ m) 程度より長いゲート長では

、ドーズ量の如何に拘わらず、ゲート長の相違に伴うしきい値電圧 V_{th} の変動は比較的小さかった。しかし、ゲート長が 100 nm ($0.1\text{ }\mu\text{ m}$) よりも小さくなると、ゲート長の相違に伴うしきい値電圧 V_{th} の変動（ロールオフ）が大きく、短チャネル効果が顕著となった。

【0026】

また、 A_s エクステンション層を用いた場合には、 115 nm のゲート長では、図5に示すように、ポケット層のドーズ量が低くても、ゲート電圧 V_g が 0 V のときのドレイン電流 I_d （オフリーク電流）として 10^{-11} ($\text{A}/\mu\text{ m}$) 程度が達成されているのに対し、 80 nm のゲート長では、図6に示すように、しきい値電圧を上げるためにポケット層のドーズ量を増加させると、オフリーク電流がポケット層のドーズ量に応じて大きく変動した。ここで、図5及び図6中の実線、破線、2点鎖線は、夫々図4中の▲、●、◆と同じドーズ量で得られたものである。以下の図7及び図8でも同様である。

【0027】

つまり、 A_s エクステンション層を用いた場合には、図5及び図6に示すように、ゲート長が 115 nm の場合には、十分にオフリーク電流が低くなるドーズ量（実線）であっても、ゲート長が 80 nm の場合には、1桁以上オフリーク電流が増加し、ドーズ量を1.5倍（破線）、2倍（2点鎖線）にしても、十分に低減することはできず、オフリーク電流の低減は限界に達してしまった。

【0028】

図7は、図6に示すドレイン電流 I_d 中のBD間リーク電流を示すグラフである。図7中の太線がBD間リーク電流を示し、より詳細には、太実線、太破線、太2点鎖線は、夫々図6中の実線、破線、2点鎖線で示すグラフのBD間リーク電流を示している。 A_s エクステンション層を用いた場合には、図7に示すように、ポケット層のドーズ量が高くなるほど、BD間リーク電流が高くなった。

【0029】

このような状況に対し、NMOSトランジスタにおいて、 A_s エクステンション層の代わりにPエクステンション層を用いると、ポケット層のドーズ量の増加に伴うBD間リーク電流の増加を抑制することができる。図8は、Pエクステン

ション層を備えたNMOSトランジスタにおけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフである。図8は、図6及び図7と同様にゲート長を80nmとしたときに得られたものである。

【0030】

図8に示すように、Pエクステンション層を用いた場合には、BD間リーク電流は増大することなく、低い値で安定していた。このため、ポケット層のドーズ量を高めることにより、SD間リーク電流を低減してオフリーク電流を低減することができた。

【0031】

図9に、参考のために、Pエクステンション層を備えたNMOSトランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示す。図9中の▲、●及び◆は、夫々図4中の同じ記号と同様の条件で得られた結果を示す。図9に示すように、Pエクステンション層を用いた場合でも、80nm程度のゲート長では、ロールオフが見受けられる。しかし、このような範囲でも、Pエクステンション層が用いられているので、図8に示すように、ポケット層のドーズ量、即ちチャネルドーズ量を高めることにより、オフリーク電流を低減することができる。

【0032】

なお、Pエクステンション層を形成するに当たっては、ゲート電極をマスクとしてその両脇に自己整合的にエクステンション層を形成するのではなく、ゲート電極の側方に薄いサイドウォール絶縁膜を形成した状態で、イオン注入を行うことが必要である。これは、PはAsよりも拡散係数が大きいためである。図10は、Pエクステンション層を備えたNMOSトランジスタにおけるゲート長としきい値電圧 V_{th} との関係を、薄いサイドウォール絶縁膜の有無を比較しながら示すグラフであり、図11は、ゲート長とオフリーク電流 I_{off} との関係を、薄いサイドウォール絶縁膜の有無を比較しながら示すグラフである。図10及び図11中の▲及び◆は、夫々薄いサイドウォール絶縁膜がない場合の結果、薄いサイドウォール絶縁膜がある場合の結果を示している。図10及び図11に示すように、薄いサイドウォール絶縁膜がない場合(▲)には、ゲート長が100nm以下であると、ロールオフがより顕著であると共に、オフリーク電流が高かつ

た。例えば、ゲート長が90 nm程度の場合には、薄いサイドウォール絶縁膜が形成されていると(◆)、薄いサイドウォール絶縁膜がない場合(▲)と比較して、オフリーク電流が1桁以上低くなった。

【0033】

(PチャネルMOSトランジスタにおける効果)

次に、PMOSトランジスタにおけるPポケット層の効果について説明する。図12は、Asポケット層を備えたPMOSトランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。図12は、ポケット層の形成にAsを用い、エクステンション層の形成にBを用い、ソース・ドレイン拡散層の形成にBを用いて作製したPMOSトランジスタに対して測定を行った結果を示している。図12中、▲、●、◆ではポケット層のドーズ量が相違しており、●及び◆のドーズ量は、夫々▲のドーズ量の2倍、3倍である。

【0034】

図12に示すように、115 nm (0.115 μ m) 程度より長いゲート長では、ドーズ量の如何に拘わらず、ゲート長の相違に伴うしきい値電圧 V_{th} の変動は小さかった。しかし、ゲート長が100 nm (0.1 μ m) よりも小さくなると、ゲート長の相違に伴うしきい値電圧 V_{th} の変動(ロールオフ)が大きく、短チャネル効果が顕著となった。これは、前述のNMOSトランジスタと同様の傾向である。

【0035】

また、Asポケット層を用いた場合には、115 nmのゲート長では、図13に示すように、ポケット層のドーズ量が比較的低くても、オフリーク電流が 10^{-11} (A/ μ m) 程度であるのに対し、80 nmのゲート長では、図14に示すように、オフリーク電流がポケット層のドーズ量に応じて大きく変動した。ここで、図13及び図14中の実線、破線、2点鎖線は、夫々図12中の▲、●、◆と同じドーズ量で得られたものである。以下の図15、図16及び図17でも同様である。

【0036】

そして、Asポケット層を用いた場合には、図14に示すように、ゲート長が

80 nmであると、ポケット層のドーズ量を高くすることにより、オフリーク電流をある程度まで下げることは可能であるが、それ以上にドーズ量を高くしても、オフリーク電流は低下せず、オフリーク電流の低減は限界に達してしまった。

【0037】

図15は、図14に示すドレイン電流 I_d 中のBD間リーク電流を示すグラフである。図15中の太線がBD間リーク電流を示し、より詳細には、太実線、太破線、太2点鎖線は、夫々図14中の実線、破線、2点鎖線で示すグラフのBD間リーク電流を示している。As ポケット層を用いた場合には、図15に示すように、ポケット層のドーズ量が高くなるほど、BD間リーク電流が高くなった。

【0038】

このような状況に対し、PMOS トランジスタにおいて、As ポケット層の代わりにP ポケット層を用いると、ポケット層のドーズ量の増加に伴うBD間リーク電流の増加を抑制することができる。図16は、P ポケット層を備えたPMOS トランジスタにおけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフである。図16は、図14及び図15と同様にゲート長を80 nmとしたときに得られたものである。

【0039】

図16に示すように、P ポケット層を用いた場合には、BD間リーク電流は増大することなく、低い値で安定していた。このため、ポケット層のドーズ量を高めることにより、SD間リーク電流を低減してオフリーク電流を低減することができた。

【0040】

図17に、参考のために、ゲート長を115 nmとしたときのP ポケット層を備えたPMOS トランジスタにおけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフを示す。図17と図13とを比較すると判るように、ゲート長を115 nmとした場合にも、BD間リーク電流の低減に伴うオフリーク電流の低減という効果が得られた。

【0041】

また、図18に、参考のために、P ポケット層を備えたPMOS トランジスタ

におけるゲート長としきい値電圧 V_{th} との関係を示す。図 18 中の▲、及び◆は、夫々図 12 中の同じ記号と同様の条件で得られた結果を示す。図 18 に示すように、P ポケット層を用いた場合でも、80 nm 程度のゲート長では、ロールオフが見受けられる。しかし、このような範囲でも、P ポケット層が用いられているので、図 16 に示すように、ポケット層のドーズ量、即ちチャネルドーズ量を高めることにより、オフリーク電流を低減することができる。

【0042】

なお、PMOS トランジスタにおいて、ポケット層中の N 型不純物が全て P である必要はなく、As が含まれていてもよい。本願発明者らが As の割合とオフリーク電流との関係を調べたところ、図 19 に示すような結果が得られた。即ち、ポケット層中の N 型不純物のうち、As の割合が 0.7 (70%) 未満であれば、つまり、P の割合が 0.3 (30%) 以上であれば、P ポケット層と同様に、十分に低いオフリーク電流が得られた。このような結果は、NMOS トランジスタでも得られ、NMOS トランジスタでは、エクステンション層中の N 型不純物が全て P である必要はなく、As が含まれていてもよい。この場合、P の割合が 0.5 (50%) 以上であれば、P エクステンション層と同様に、十分に低いオフリーク電流が得られた。

【0043】

(第 1 の実施形態)

次に、本発明の第 1 の実施形態について説明する。但し、ここでは、便宜上、半導体装置の構造については、その製造方法と共に説明する。第 1 の実施形態では、NMOS トランジスタを備えた半導体装置を製造する。図 20 乃至図 22 は、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0044】

第 1 の実施形態では、先ず、図 20 (a) に示すように、例えば P 型ウェルが表面に形成されたシリコン基板等の半導体基板 11 上に、ゲート絶縁膜 12 及びゲート電極 13 を形成する。ゲート電極 13 の長さ (ゲート長) は、100 nm 以下である。

【0045】

次に、図20(b)に示すように、P型不純物、例えばボロン(B)をイオン注入することにより、半導体基板11の表面にP型ポケット層(P型不純物拡散層)14を形成する。このイオン注入は、例えば平面視で互いに直交する4方向からの斜めイオン注入により行う。また、例えば、注入エネルギーを5乃至10 keVとし、ドーズ量を1方向当たり 3×10^{12} 乃至 $1.8 \times 10^{13} \text{ cm}^{-2}$ とする。

【0046】

次いで、図20(c)に示すように、ゲート絶縁膜12及びゲート電極13の側方に、薄いサイドウォール絶縁膜(第1のサイドウォール絶縁膜)15を形成する。薄いサイドウォール絶縁膜15の厚さは、例えば10 nm程度である。薄いサイドウォール絶縁膜15の厚さが5 nm未満であると、ロールオフが顕著になってしきい値電圧が低下する虞がある。また、薄いサイドウォール絶縁膜15の厚さが15 nmを超えると、寄生抵抗が増加してオン抵抗が上昇する虞がある。このため、薄いサイドウォール絶縁膜15の厚さは、5乃至15 nm程度であることが好ましい。

【0047】

その後、図21(a)に示すように、リン(P)をイオン注入することにより、ポケット層14の表面にN型エクステンション層(第1のN型不純物拡散層)16を形成する。このイオン注入は、例えば半導体基板11の表面に垂直な方向から行う。また、例えば、注入エネルギーを1乃至2.5 keVとし、ドーズ量を 5×10^{14} 乃至 $2 \times 10^{15} \text{ cm}^{-2}$ とする。

【0048】

続いて、全面に絶縁膜、例えばシリコン酸化膜を形成した後、薄いサイドウォール絶縁膜15の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、図21(b)に示すように、サイドウォール絶縁膜(第2のサイドウォール絶縁膜)17を形成する。サイドウォール絶縁膜17の幅は、例えば75 nm程度である。従って、サイドウォール絶縁膜17の幅は、サイドウォール絶縁膜15の幅よりも広い。

【0049】

その後、図21(c)に示すように、N型不純物、例えばリンを高濃度でイオン注入することにより、半導体基板11の表面に深いN型ソース・ドレイン拡散層（第2のN型不純物拡散層）18を形成する。このイオン注入は、例えば半導体基板11の表面に垂直な方向から行う。また、例えば、注入エネルギーを4乃至10keVとし、ドーズ量を 6×10^{15} 乃至 $1.2 \times 10^{16} \text{ cm}^{-2}$ とする。なお、N型ソース・ドレイン拡散層18の深さは、N型エクステンション層16の深さよりも深い。このイオン注入の後、アニールを行うことにより、注入された不純物を活性化させる。

【0050】

そして、図22に示すように、層間絶縁膜19の形成、この層間絶縁膜19に対するN型ソース・ドレイン拡散層18まで到達するコンタクトホール20の開口、及びこのコンタクトホール20への導電材21の埋め込み、配線（図示せず）の形成等を行って半導体装置を完成させる。

【0051】

このようにして製造された半導体装置は、図22に示す構造を備えている。

【0052】

このような本発明の第1の実施形態によれば、N型エクステンション層16の形成にあたり、薄いサイドウォール絶縁膜15をオフセット膜として用いながら拡散係数が砒素よりも大きいリンのイオン注入を行っているので、ゲート長を100nm以下と短くしても、チャネル近傍に強い電界が発生することを抑制することができる。このため、BD間リーク電流を抑制して、オフリーク電流を低減することが可能である。

【0053】

（第2の実施形態）

次に、本発明の第2の実施形態について説明する。但し、ここでも、便宜上、半導体装置の構造については、その製造方法と共に説明する。第2の実施形態では、PMOSトランジスタを備えた半導体装置を製造する。図23乃至図25は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図で

ある。

【0 0 5 4】

第 2 の実施形態では、先ず、図 2 3 (a) に示すように、例えば N 型ウェルが表面に形成されたシリコン基板等の半導体基板 3 1 上に、ゲート絶縁膜 3 2 及びゲート電極 3 3 を形成する。ゲート電極 3 3 の長さ (ゲート長) は、例えば 1 0 0 n m 以下である。

【0 0 5 5】

次に、図 2 3 (b) に示すように、リンをイオン注入することにより、半導体基板 3 1 の表面に N 型ポケット層 (N 型不純物拡散層) 3 4 を形成する。このイオン注入は、例えば平面視で互いに直交する 4 方向からの斜めイオン注入により行う。また、例えば、注入エネルギーを 1 5 乃至 3 0 k e V とし、ドーズ量を 1 方向当たり 3×10^{12} 乃至 $1.5 \times 10^{13} \text{ cm}^{-2}$ とする。

【0 0 5 6】

次に、図 2 3 (c) に示すように、P 型不純物、例えばボロンをイオン注入することにより、ポケット層 3 4 の表面に P 型エクステンション層 (第 1 の P 型不純物拡散層) 3 6 を形成する。このイオン注入は、例えば半導体基板 3 1 の表面に垂直な方向から行う。また、例えば、注入エネルギーを 0. 2 乃至 0. 5 k e V とし、ドーズ量を 5×10^{14} 乃至 $2 \times 10^{15} \text{ cm}^{-2}$ とする。

【0 0 5 7】

その後、全面に絶縁膜、例えばシリコン酸化膜を形成した後、ゲート絶縁膜 3 2 及びゲート電極 3 3 の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、図 2 4 (a) に示すように、サイドウォール絶縁膜 3 7 を形成する。サイドウォール絶縁膜 3 7 の幅は、例えば 7 5 n m 程度である。

【0 0 5 8】

続いて、図 2 4 (b) に示すように、P 型不純物、例えばボロンを高濃度でイオン注入することにより、半導体基板 3 1 の表面に深い P 型ソース・ドレイン拡散層 (第 2 の P 型不純物拡散層) 3 8 を形成する。このイオン注入は、例えば半導体基板 3 1 の表面に垂直な方向から行う。また、例えば、注入エネルギーを 3 乃至 6 k e V とし、ドーズ量を 4×10^{15} 乃至 $6 \times 10^{15} \text{ cm}^{-2}$ とする。なお、P

型ソース・ドレイン拡散層 38 の深さは、P 型エクステンション層 36 の深さよりも深い。このイオン注入の後、アニールを行うことにより、注入された不純物を活性化させる。

【0059】

そして、図 25 に示すように、層間絶縁膜 39 の形成、この層間絶縁膜 39 に対する P 型ソース・ドレイン拡散層 38 まで到達するコンタクトホール 40 の開口、及びこのコンタクトホール 40 への導電材 41 の埋め込み、配線（図示せず）の形成等を行って半導体装置を完成させる。

【0060】

このようにして製造された半導体装置は、図 25 に示す構造を備えている。

【0061】

このような本発明の第 2 の実施形態によれば、P 型ポケット層 34 の形成にあたり、リンのイオン注入を行っているので、ゲート長を 100 nm 以下と短くしても、チャネル近傍に強い電界が発生することを抑制することができる。このため、第 1 の実施形態と同様に、BD 間リーク電流を抑制して、オフリーク電流を低減することが可能である。

【0062】

以下、本発明の諸態様を付記としてまとめて記載する。

【0063】

（付記 1） 半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、
前記ゲート電極の側方に形成された 1 対の第 1 のサイドウォール絶縁膜と、
前記ゲート電極との間で前記第 1 のサイドウォール絶縁膜を挟み、その幅が前記第 1 のサイドウォール絶縁膜の幅よりも広い 1 対の第 2 のサイドウォール絶縁膜と、

前記半導体基板の表面に第 1 の深さで、前記ゲート電極及び前記第 1 のサイドウォール絶縁膜に対して自己整合的に形成され、リンを含有する 1 対の第 1 の N 型不純物拡散層と、

前記半導体基板の表面に前記第 1 の深さよりも深い第 2 の深さで、前記ゲート

電極、前記第 1 のサイドウォール絶縁膜及び前記第 2 のサイドウォール絶縁膜に対して自己整合的に形成された 1 対の第 2 の N 型不純物拡散層と、

前記 1 対の第 2 の N 型不純物拡散層の間に形成され、夫々が前記 1 対の第 1 の N 型不純物拡散層の夫々に隣接する 1 対の P 型不純物拡散層と、

を有することを特徴とする半導体装置。

【 0 0 6 4 】

(付記 2) 前記第 1 のサイドウォール絶縁膜の幅は、5 乃至 1 5 n m であることを特徴とする付記 1 に記載の半導体装置。

【 0 0 6 5 】

(付記 3) 前記第 1 の N 型不純物拡散層は、砒素を含有することを特徴とする付記 1 又は 2 に記載の半導体装置。

【 0 0 6 6 】

(付記 4) 前記第 1 の N 型不純物拡散層中に導入された N 型不純物のうち、リンの割合が 5 0 原子%以上であることを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【 0 0 6 7 】

(付記 5) 半導体基板と、
前記半導体基板上に形成されたゲート絶縁膜及びゲート電極と、
前記ゲート電極の側方に形成された 1 対のサイドウォール絶縁膜と、
前記半導体基板の表面に第 1 の深さで、前記ゲート電極に対して自己整合的に形成された 1 対の第 1 の P 型不純物拡散層と、

前記半導体基板の表面に前記第 1 の深さよりも深い第 2 の深さで、前記ゲート電極及び前記サイドウォール絶縁膜に対して自己整合的に形成された 1 対の第 2 の P 型不純物拡散層と、

前記 1 対の第 2 の P 型不純物拡散層の間に形成され、夫々が前記 1 対の第 1 の P 型不純物拡散層の夫々に隣接し、リンを含有する 1 対の N 型不純物拡散層と、
を有することを特徴とする半導体装置。

【 0 0 6 8 】

(付記 6) 前記 N 型不純物拡散層は、砒素を含有することを特徴とする付記

5 に記載の半導体装置。

【0069】

(付記 7) 前記 N 型不純物拡散層中に導入された N 型不純物のうち、リンの割合が 30 原子%以上であることを特徴とする付記 5 又は 6 に記載の半導体装置。

【0070】

(付記 8) 前記ゲート電極の長さが 100 nm 以下であることを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【0071】

(付記 9) 半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体基板の表面に P 型不純物を導入することにより、1 対の P 型不純物拡散層を形成する工程と、

前記ゲート電極の側方に 1 対の第 1 のサイドウォール絶縁膜を形成する工程と、

前記ゲート電極及び前記第 1 のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面に少なくともリンを導入することにより、1 対の第 1 の N 型不純物拡散層を第 1 の深さで形成する工程と、

前記ゲート電極との間で前記第 1 のサイドウォールを挟み、その幅が前記第 1 のサイドウォール絶縁膜の幅よりも広い 1 対の第 2 のサイドウォール絶縁膜を形成する工程と、

前記ゲート電極、前記第 1 のサイドウォール絶縁膜及び前記第 2 のサイドウォール絶縁膜をマスクとして、前記半導体基板の表面に N 型不純物を導入することにより、1 対の第 2 の N 型不純物拡散層を前記第 1 の深さよりも深い第 2 の深さで形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【0072】

(付記 10) 前記第 1 のサイドウォール絶縁膜の幅を、5 乃至 15 nm とすることを特徴とする付記 9 に記載の半導体装置の製造方法。

【0073】

(付記 11) 前記第 1 の N 型不純物拡散層を形成する工程において、リンと共に砒素を前記半導体基板の表面に導入することを特徴とする付記 9 又は 10 に記載の半導体装置の製造方法。

【0074】

(付記 12) 前記第 1 の N 型不純物拡散層中に導入された N 型不純物のうち、リンの割合を 50 原子%以上とすることを特徴とする付記 9 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法。

【0075】

(付記 13) 前記 P 型不純物拡散層を形成する工程は、前記半導体基板の表面に対して傾斜した方向から前記 P 型不純物のイオン注入を行う工程を有することを特徴とする付記 9 乃至 12 のいずれか 1 項に記載の半導体装置の製造方法。

【0076】

(付記 14) 半導体基板上にゲート絶縁膜及びゲート電極を形成する工程と、
前記ゲート電極をマスクとして、前記半導体基板の表面に少なくともリンを導入することにより、1 対の N 型不純物拡散層を形成する工程と、
前記ゲート電極をマスクとして、前記半導体基板の表面に P 型不純物を導入することにより、1 対の第 1 の P 型不純物拡散層を第 1 の深さで形成する工程と、
前記ゲート電極の側方に 1 対のサイドウォール絶縁膜を形成する工程と、
前記ゲート電極及び前記サイドウォール絶縁膜をマスクとして、前記半導体基板の表面に P 型不純物を導入することにより、1 対の第 2 の P 型不純物拡散層を前記第 1 の深さよりも深い第 2 の深さで形成する工程と、
を有することを特徴とする半導体装置の製造方法。

【0077】

(付記 15) 前記 N 型不純物拡散層を形成する工程において、リンと共に砒素を前記半導体基板の表面に導入することを特徴とする付記 14 に記載の半導体装置の製造方法。

【0078】

(付記 16) 前記 N 型不純物拡散層中に導入された N 型不純物のうち、リン

の割合を30原子%以上とすることを特徴とする付記14又は15に記載の半導体装置の製造方法。

【0079】

(付記17) 前記N型不純物拡散層を形成する工程は、前記半導体基板の表面に対して傾斜した方向からリンのイオン注入を行う工程を有することを特徴とする付記14乃至16のいずれか1項に記載の半導体装置の製造方法。

【0080】

(付記18) 前記ゲート電極を形成する工程において、前記ゲート電極の長さを100nm以下とすることを特徴とする付記9乃至17のいずれか1項に記載の半導体装置の製造方法。

【0081】

【発明の効果】

以上詳述したように、本発明によれば、ゲート長が100nm以下であっても、チャネル近傍の強い電界を緩和して半導体基板とドレインとの間で発生するリーク電流を抑制することができる。このため、オフリーク電流を低減することができる。

【図面の簡単な説明】

【図1】

NMOSトランジスタにおけるオフリーク電流の種類を示す断面図である。

【図2】

PMOSトランジスタにおけるチャネルドーズ量とオフリーク電流との関係を示すグラフである。

【図3】

チャネルドーズ量とオフリーク電流との関係を、AsポケットとPポケットとを比較しながら示すグラフである。

【図4】

Asエクステンション層を備えたNMOSトランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。

【図5】

A s エクステンション層を用いてゲート長を 115 nm としたときに得られたゲート電圧とドレイン電流との関係を示すグラフである。

【図 6】

A s エクステンション層を用いてゲート長を 80 nm としたときに得られたゲート電圧とドレイン電流との関係を示すグラフである。

【図 7】

図 6 に示すドレイン電流 I_d 中の BD 間リーク電流を示すグラフである。

【図 8】

P エクステンション層を備えた NMOS トランジスタにおけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフである。

【図 9】

P エクステンション層を備えた NMOS トランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。

【図 10】

P エクステンション層を備えた NMOS トランジスタにおけるゲート長としきい値電圧 V_{th} との関係を、薄いサイドウォールの有無を比較しながら示すグラフである。

【図 11】

ゲート長とオフリーク電流 I_{off} との関係を、薄いサイドウォールの有無を比較しながら示すグラフである。

【図 12】

A s ポケット層を備えた PMOS トランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。

【図 13】

A s ポケット層を用いてゲート長を 115 nm としたときに得られたゲート電圧とドレイン電流との関係を示すグラフである。

【図 14】

A s ポケット層を用いてゲート長を 80 nm としたときに得られたゲート電圧とドレイン電流との関係を示すグラフである。

【図 15】

図 14 に示すドレイン電流 I_d 中の BD 間リーク電流を示すグラフである。

【図 16】

P ポケット層を備えた PMOS トランジスタ（ゲート長：80 nm）におけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフである。

【図 17】

P ポケット層を備えた PMOS トランジスタ（ゲート長：115 nm）におけるゲート電圧 V_g とドレイン電流 I_d との関係を示すグラフである。

【図 18】

P ポケット層を備えた PMOS トランジスタにおけるゲート長としきい値電圧 V_{th} との関係を示すグラフである。

【図 19】

A_s の比率とオフリーク電流との関係を示すグラフである。

【図 20】

本発明の第 1 の実施形態に係る NMOS トランジスタの製造方法を工程順に示す断面図である。

【図 21】

図 20 に引き続き、本発明の第 1 の実施形態に係る NMOS トランジスタの製造方法を工程順に示す断面図である。

【図 22】

図 21 に引き続き、本発明の第 1 の実施形態に係る NMOS トランジスタの製造方法を工程順に示す断面図である。

【図 23】

本発明の第 2 の実施形態に係る PMOS トランジスタの製造方法を工程順に示す断面図である。

【図 24】

図 23 に引き続き、本発明の第 2 の実施形態に係る PMOS トランジスタの製造方法を工程順に示す断面図である。

【図 25】

図 24 に引き続き、本発明の第 2 の実施形態に係る PMOS トランジスタの製造方法を工程順に示す断面図である。

【図 26】

従来の NMOS トランジスタの製造方法を工程順に示す断面図である。

【図 27】

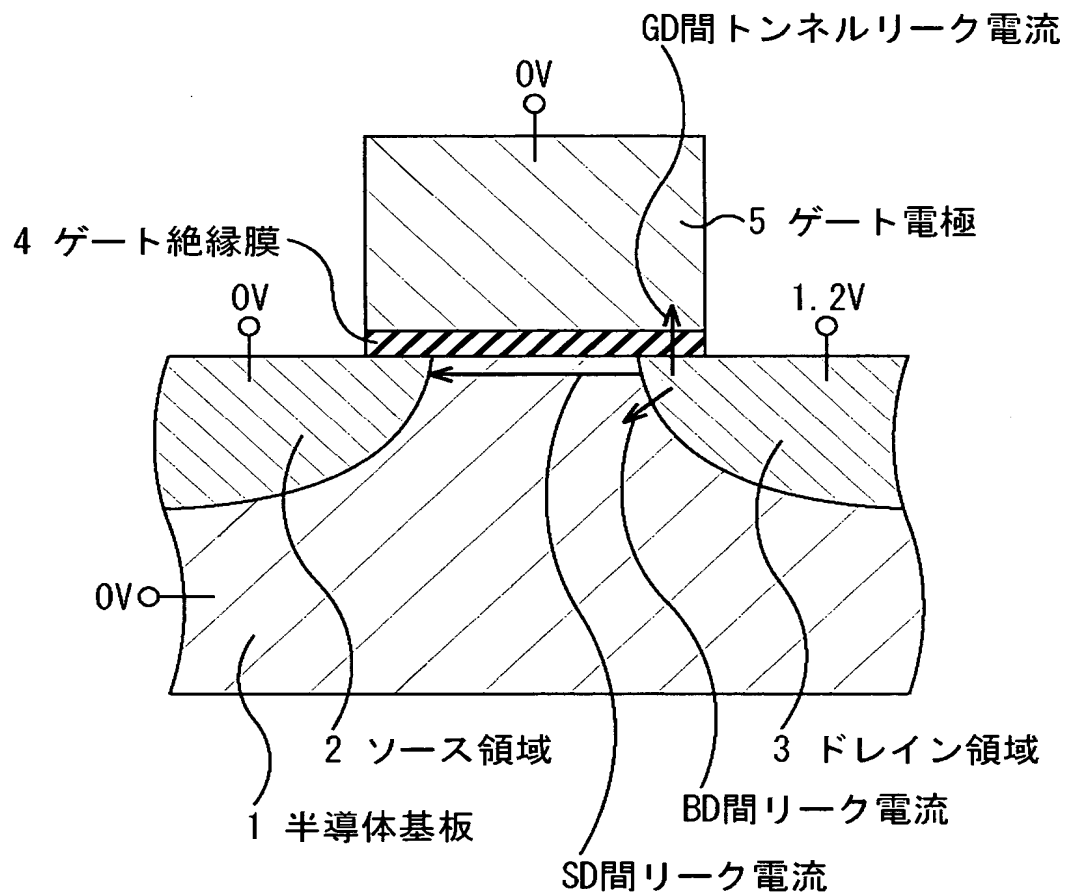
従来の PMOS トランジスタの製造方法を工程順に示す断面図である。

【符号の説明】

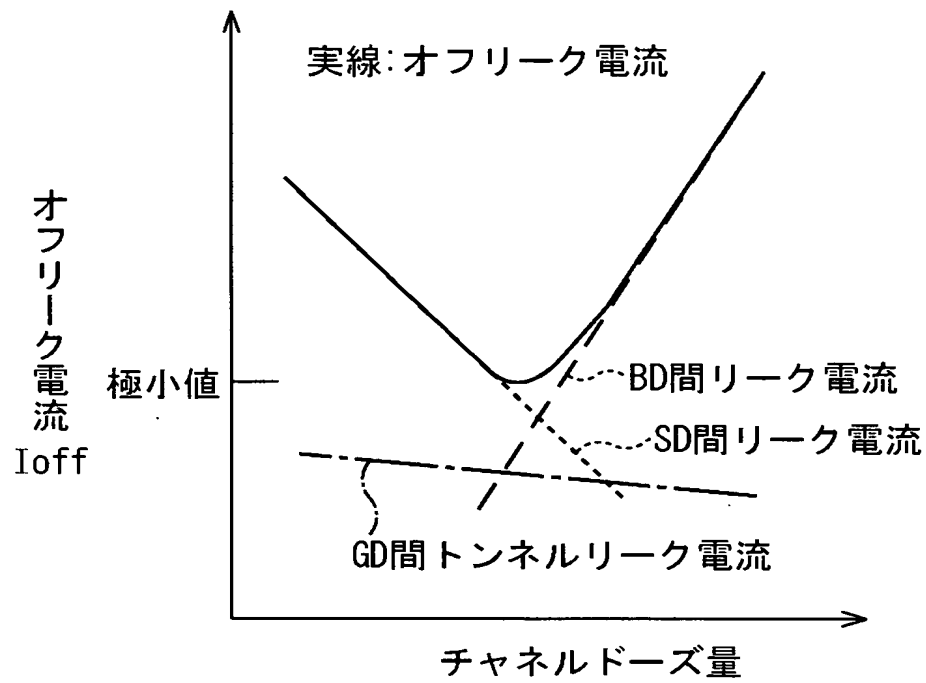
- 1：半導体基板
- 2：ソース領域
- 3：ドレイン領域
- 4：ゲート絶縁膜
- 5：ゲート電極
- 11、31：半導体基板
- 12、32：ゲート絶縁膜
- 13、33：ゲート電極
- 14：P型ポケット層
- 15：薄いサイドウォール絶縁膜
- 16：N型エクステンション層
- 17、37：サイドウォール絶縁膜
- 18：N型ソース・ドレイン拡散層
- 19、39：層間絶縁膜
- 20、40：コンタクトホール
- 21、41：導電材
- 34：N型ポケット層
- 36：P型エクステンション層
- 38：P型ソース・ドレイン拡散層

【書類名】 図面

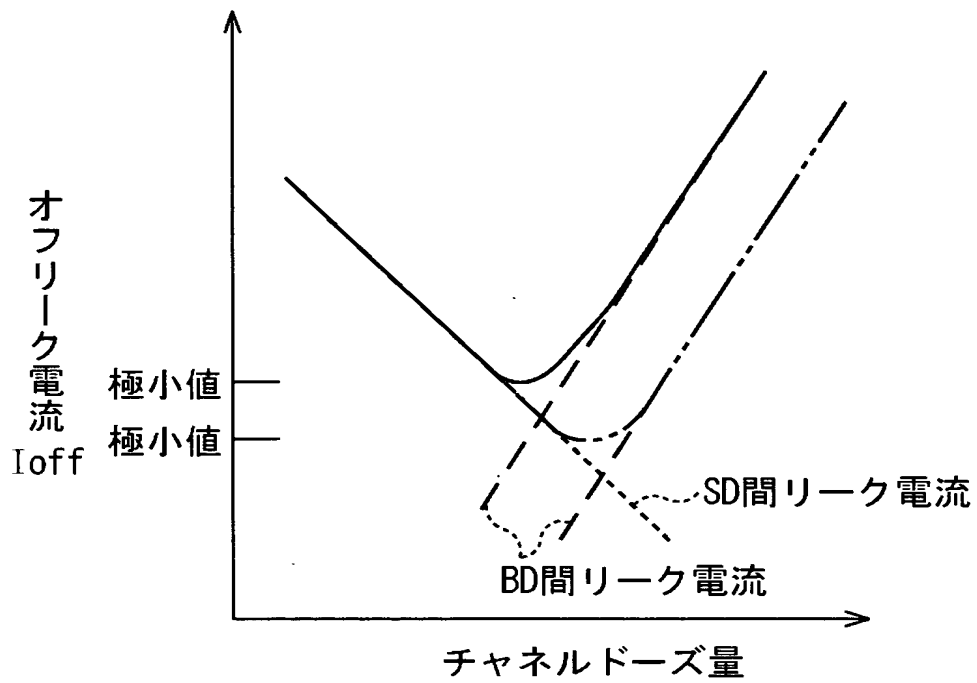
【図 1】



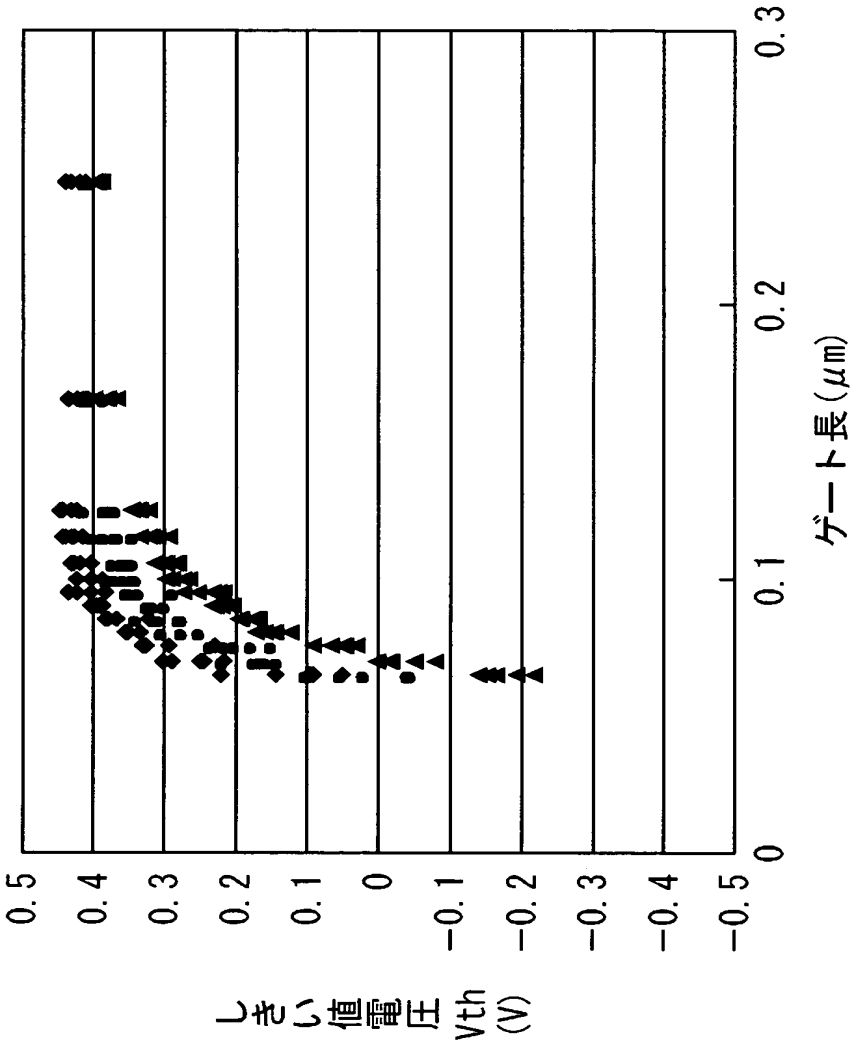
【図 2】



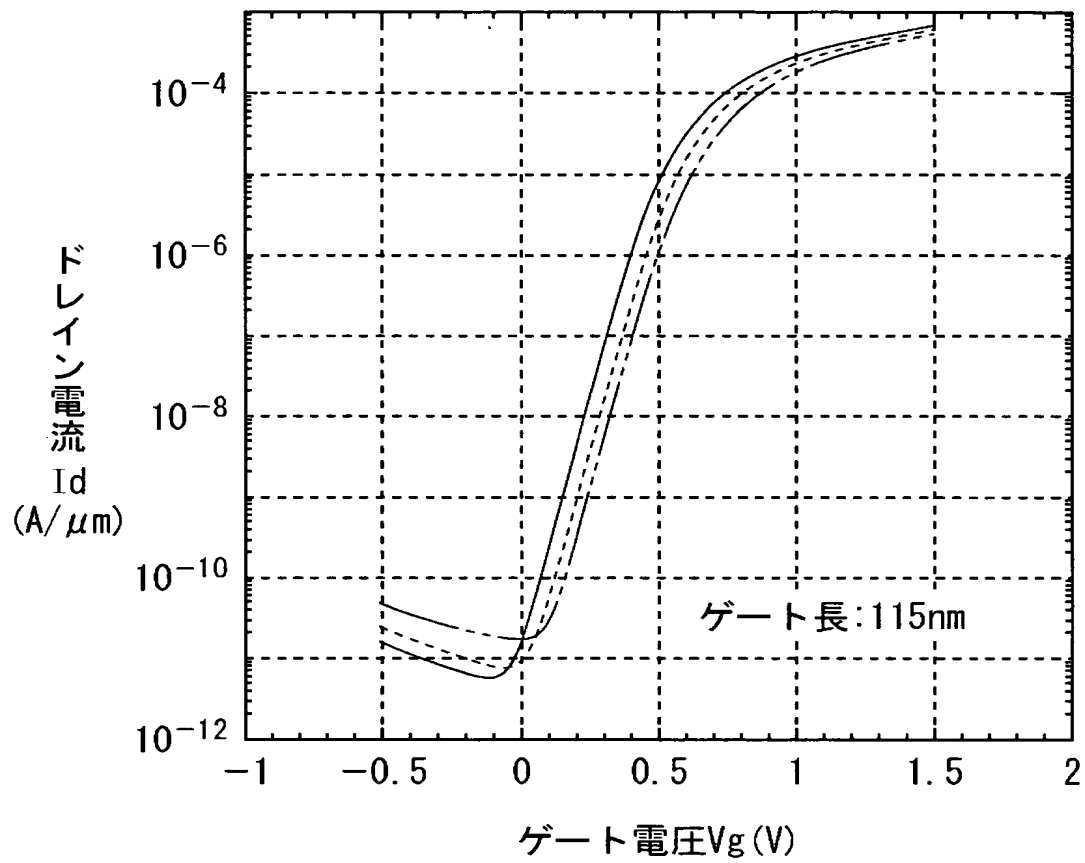
【図 3】



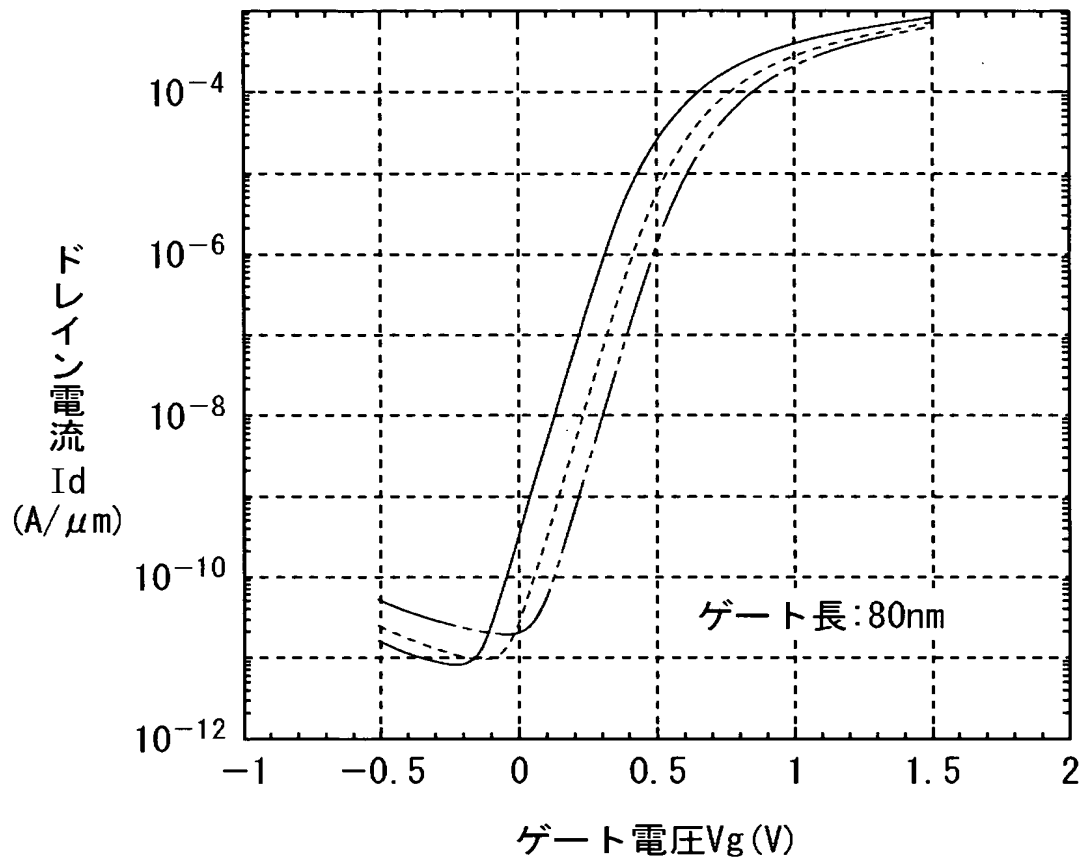
【図 4】



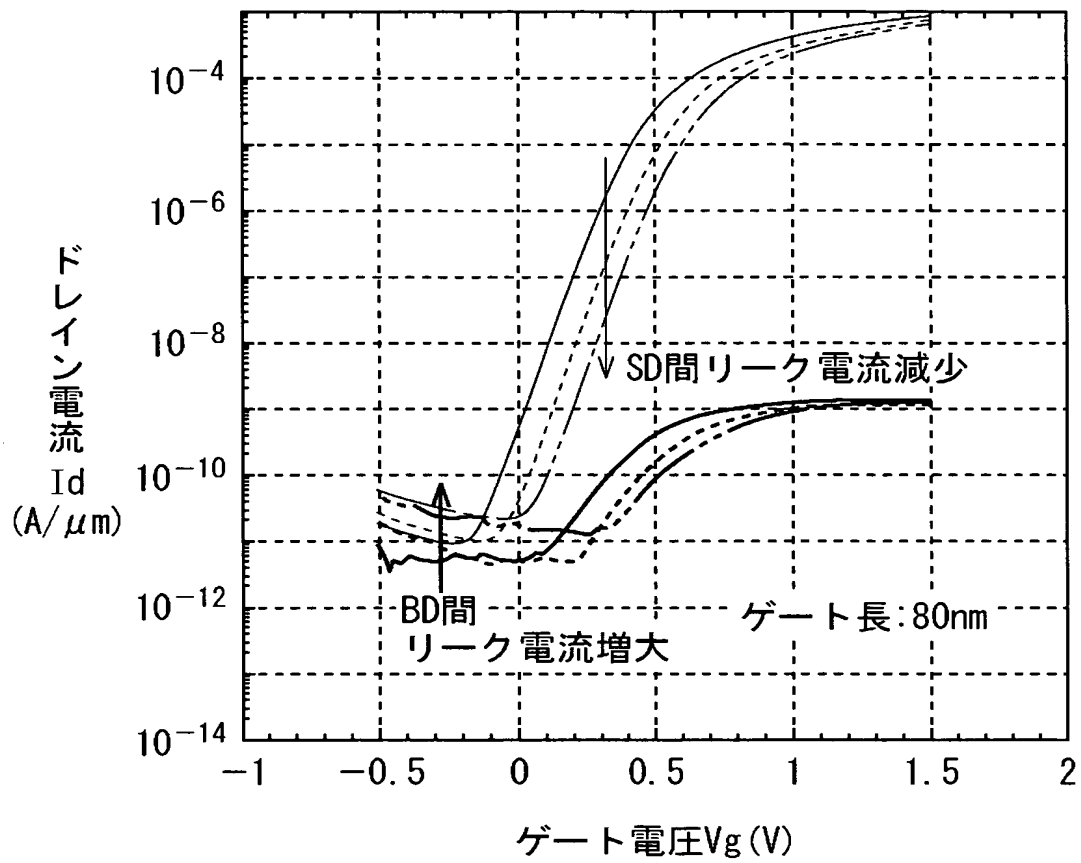
【図 5】

As⁺エクステンション

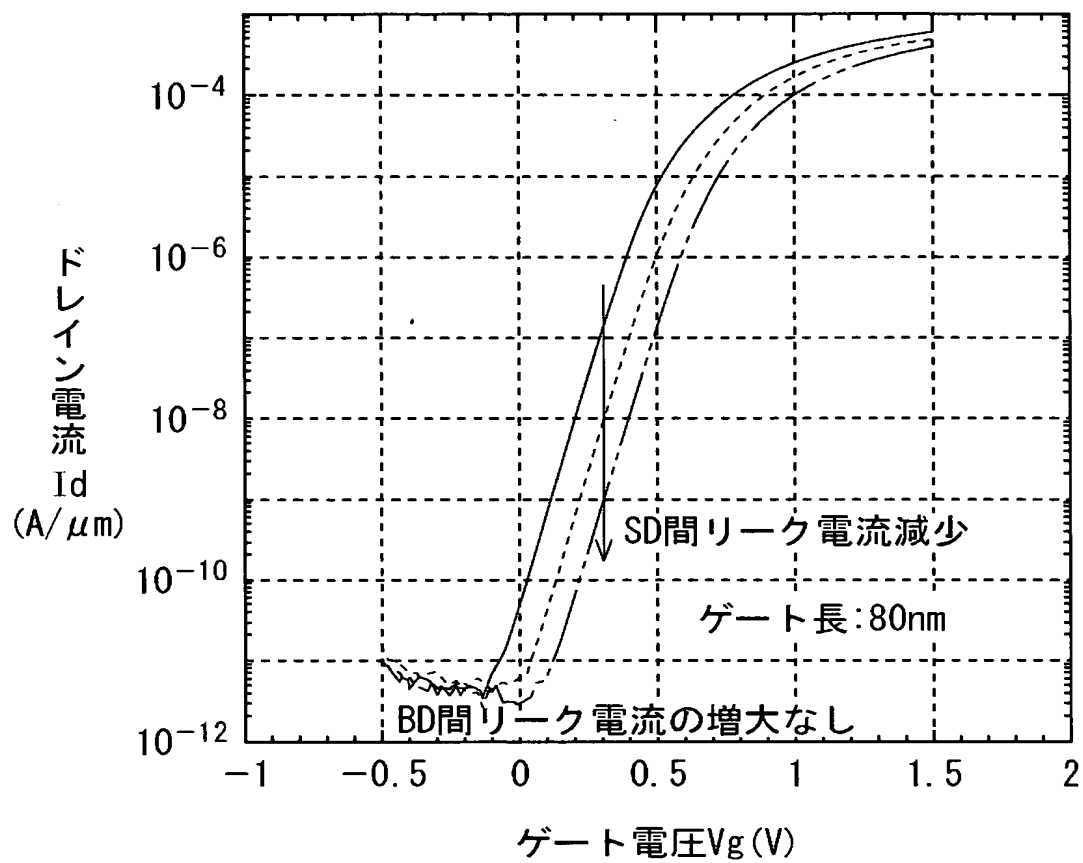
【図 6】

As⁺エクステンション

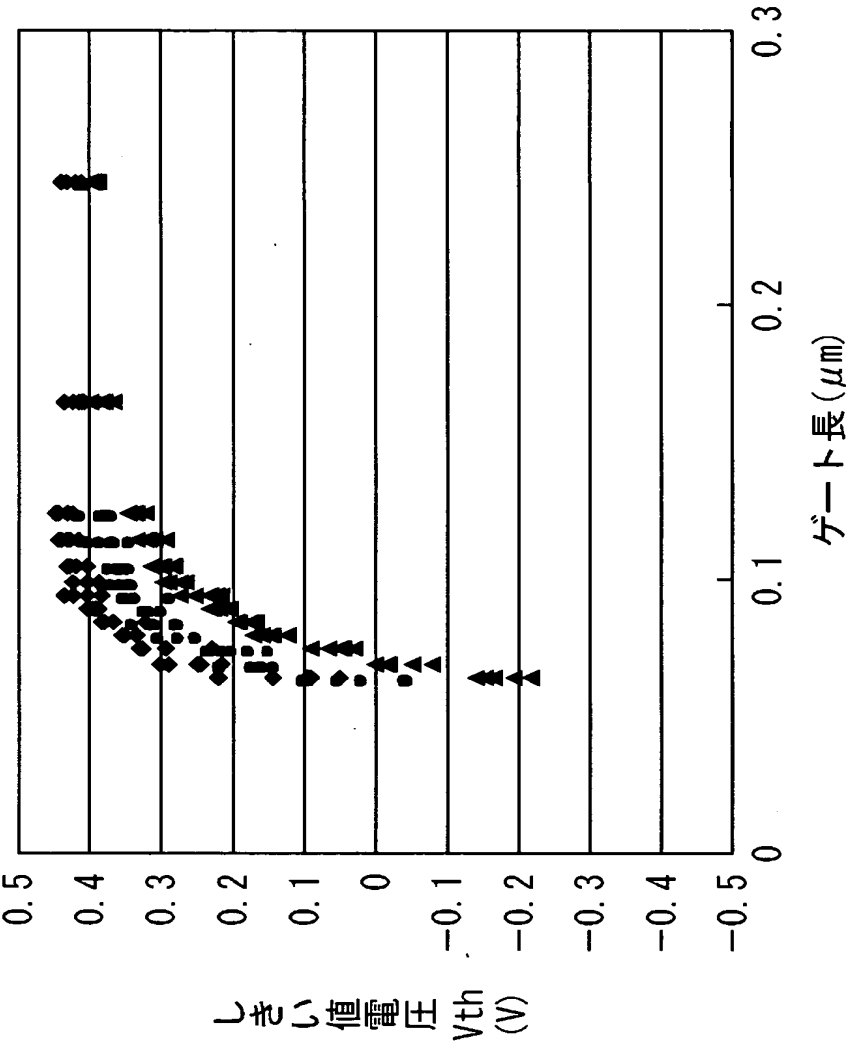
【図 7】

As⁺エクステンション

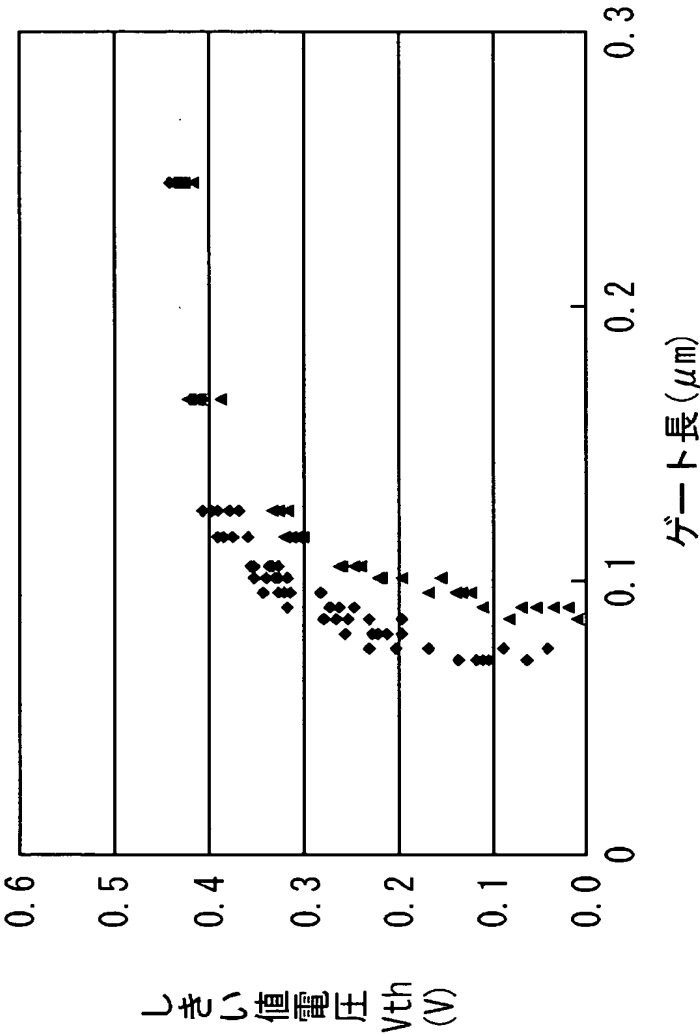
【図 8】

P⁺エクステンション

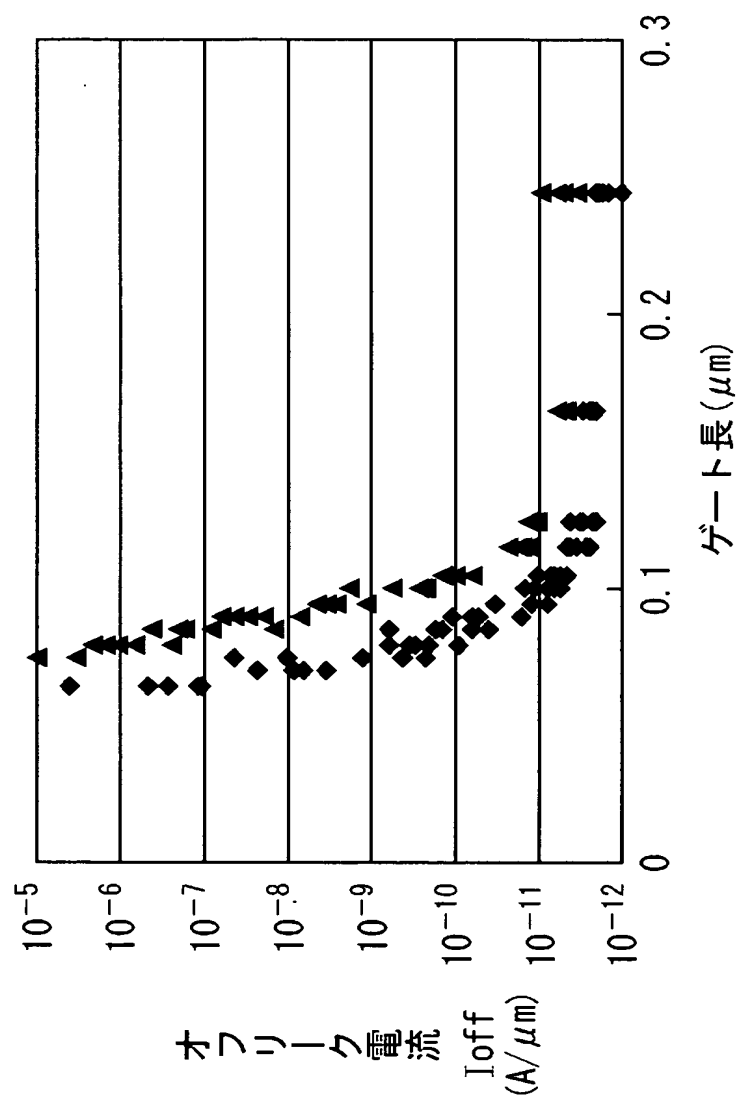
【図 9】



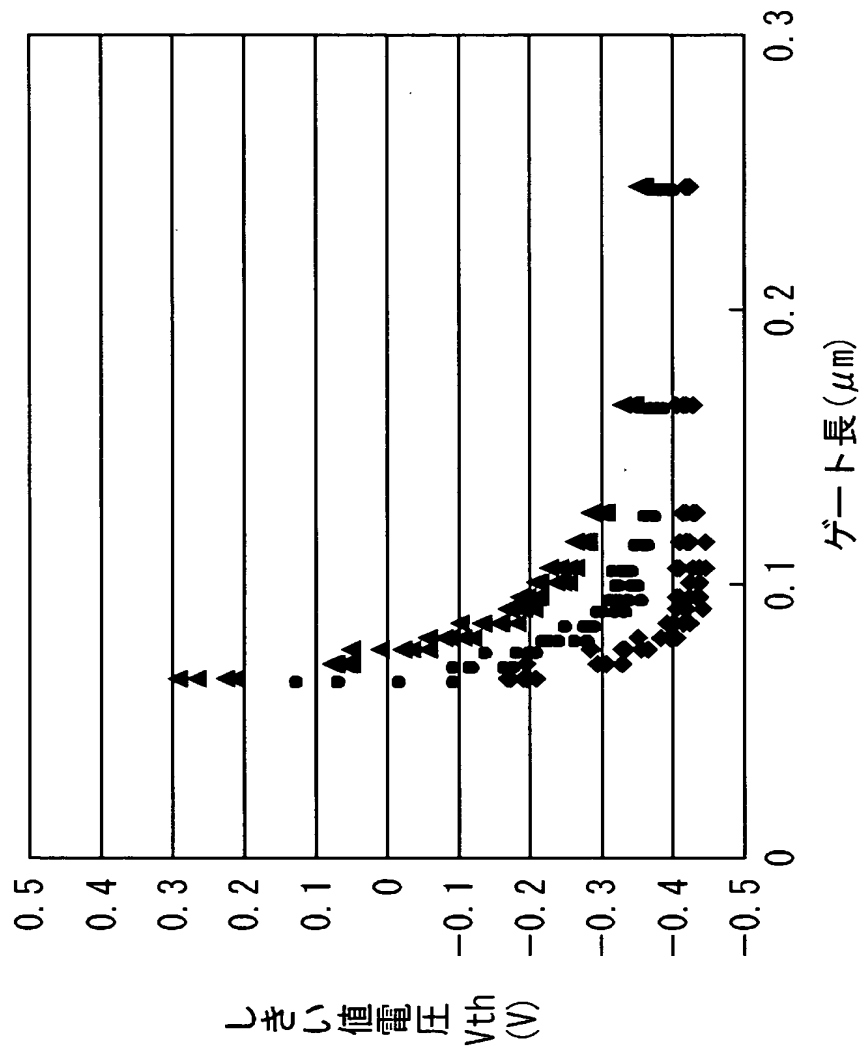
【図 1 0】



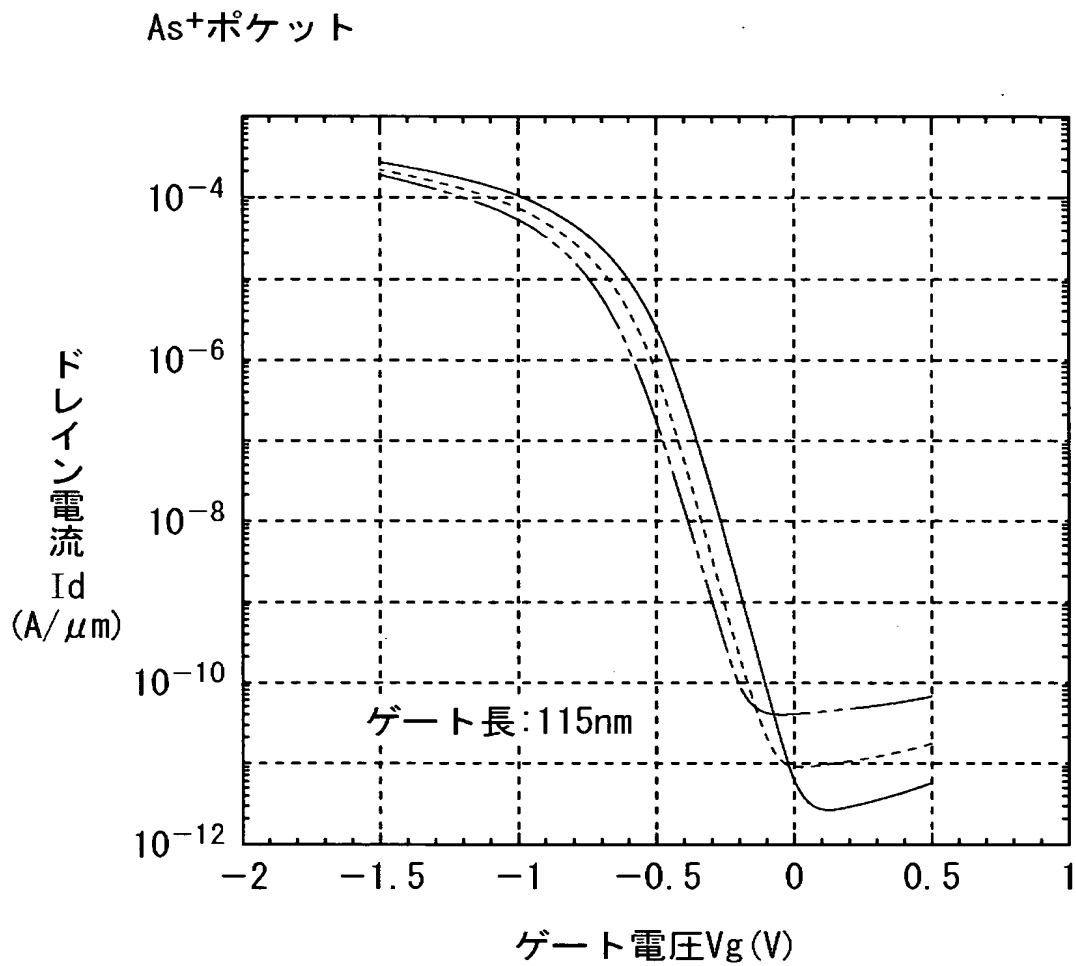
【図 11】



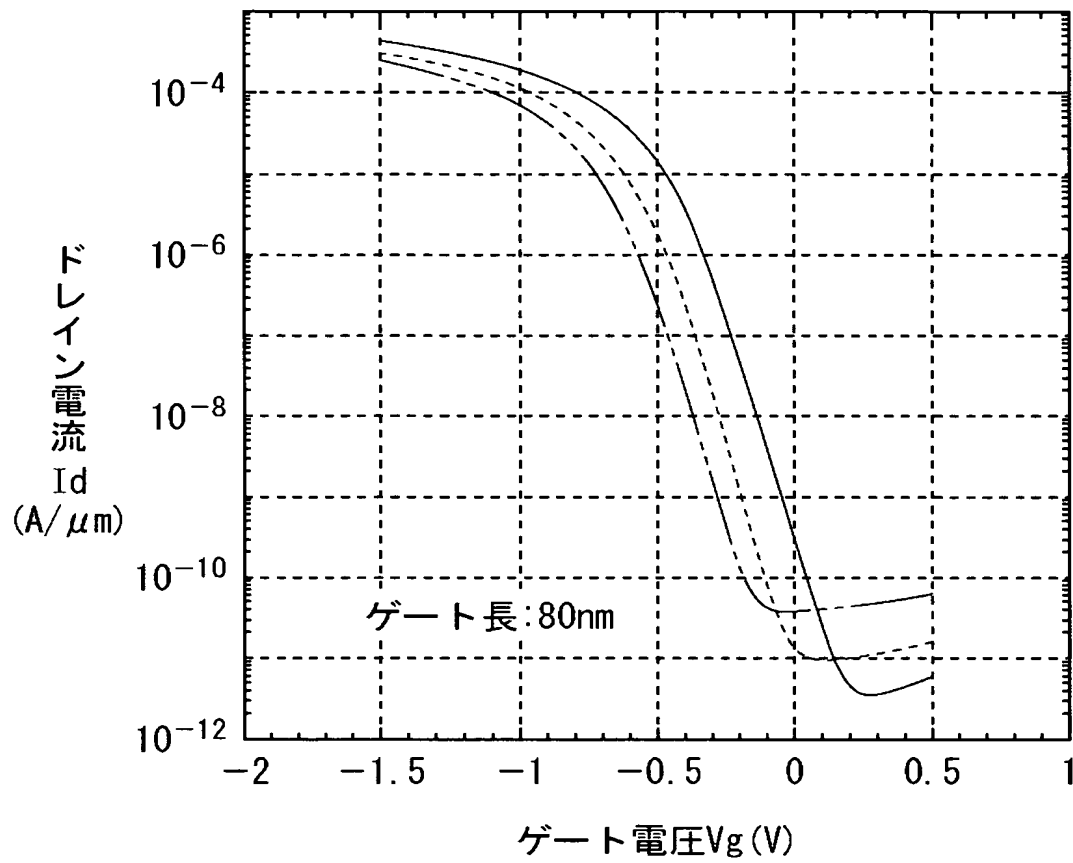
【図 12】



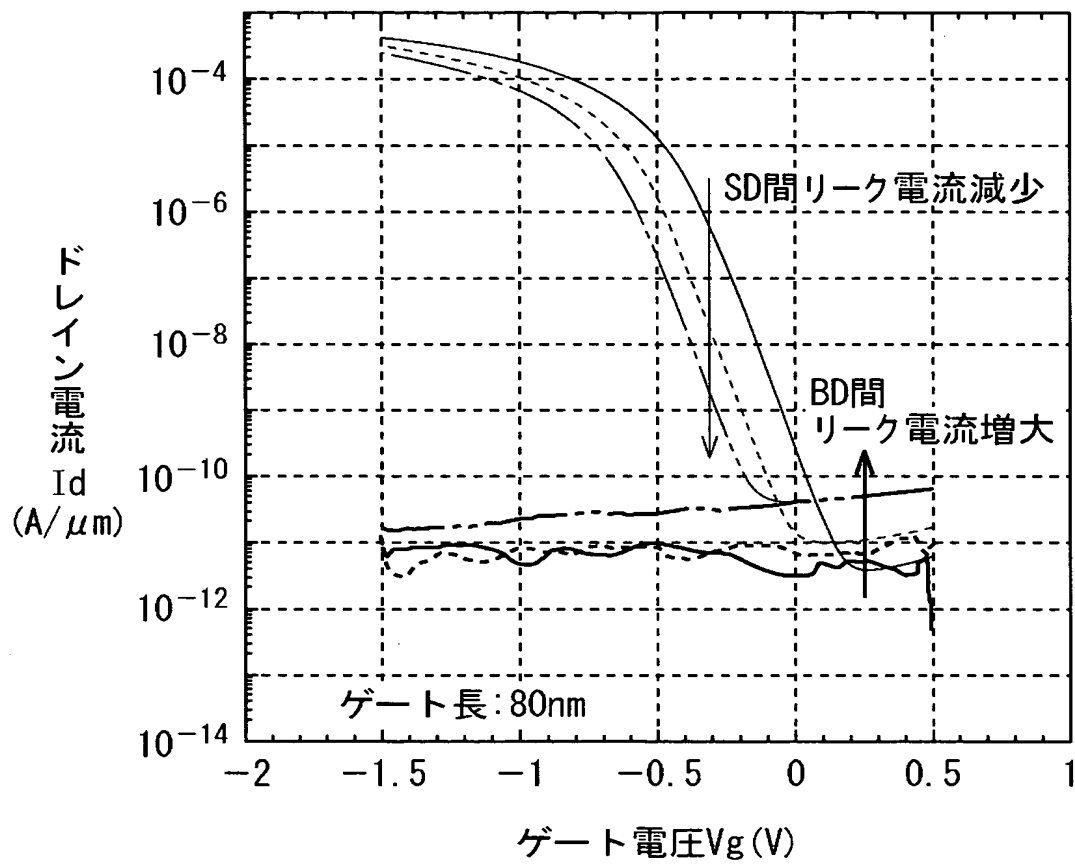
【図 13】



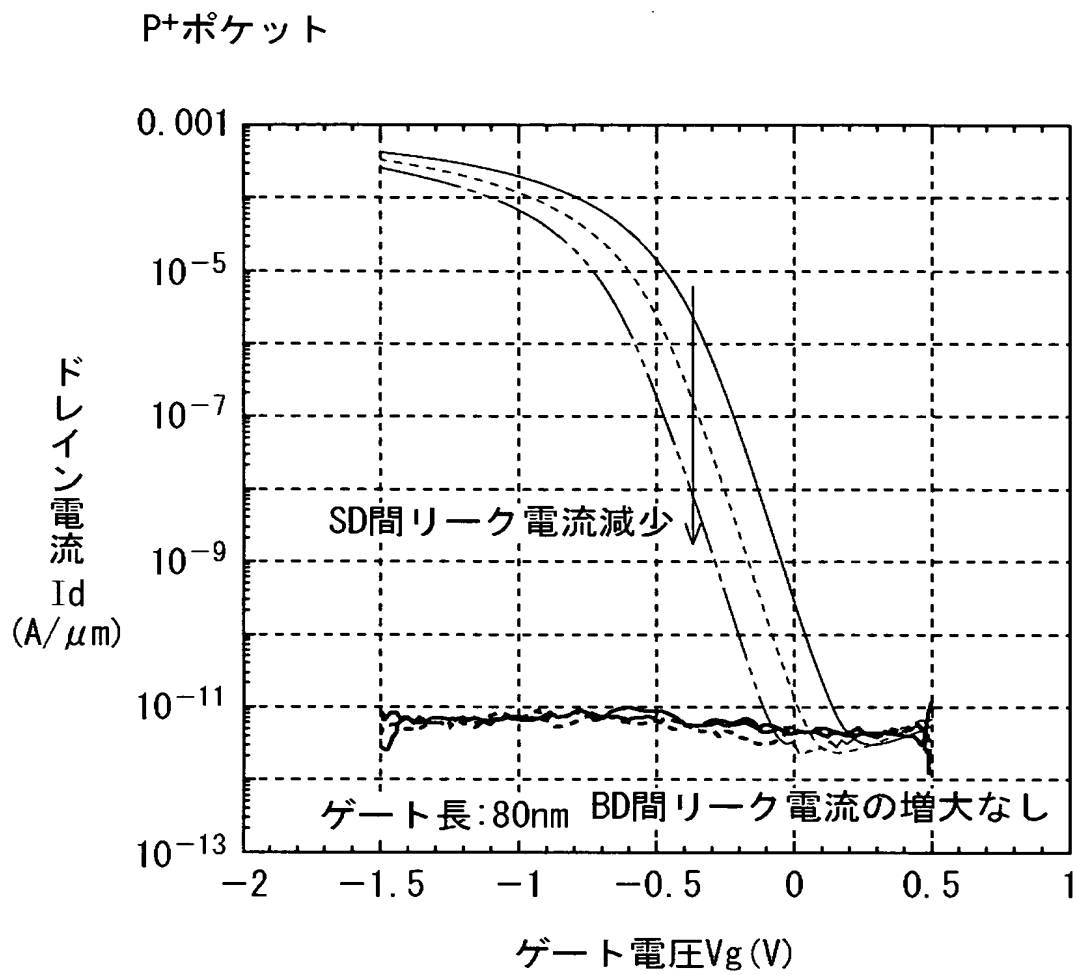
【図 14】

As⁺ポケット

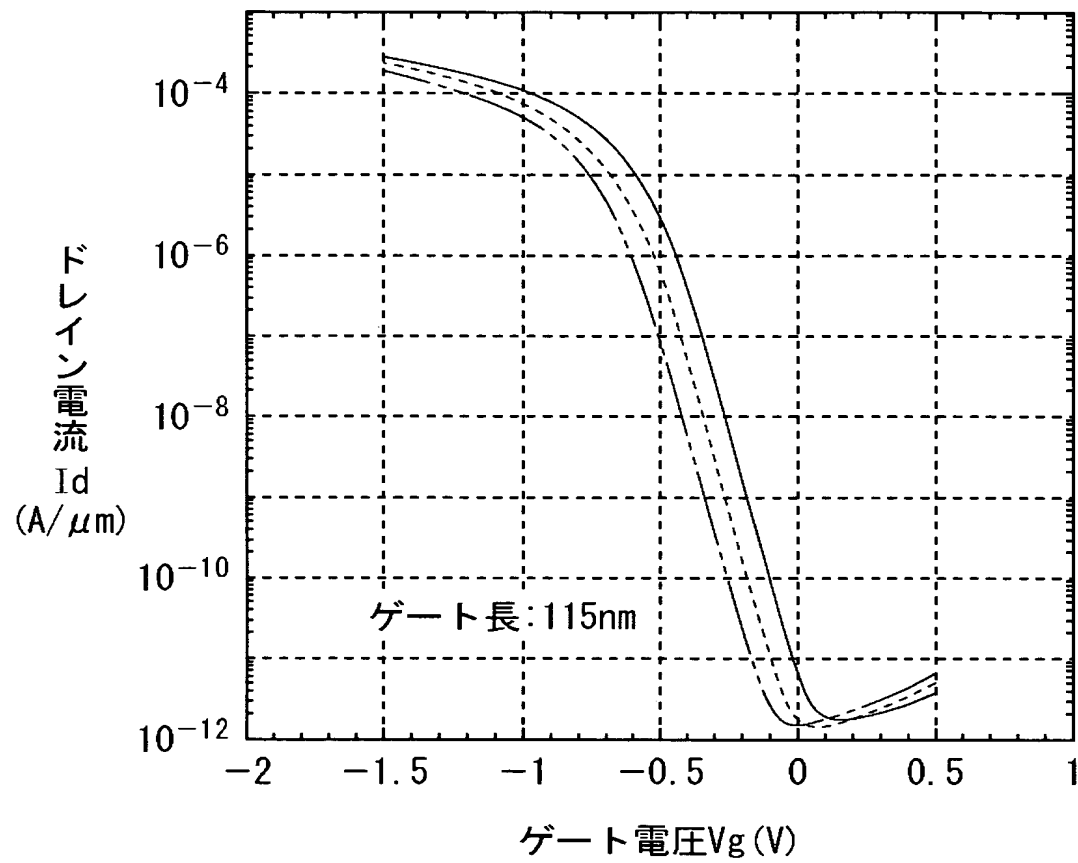
【図 15】

As⁺ポケット

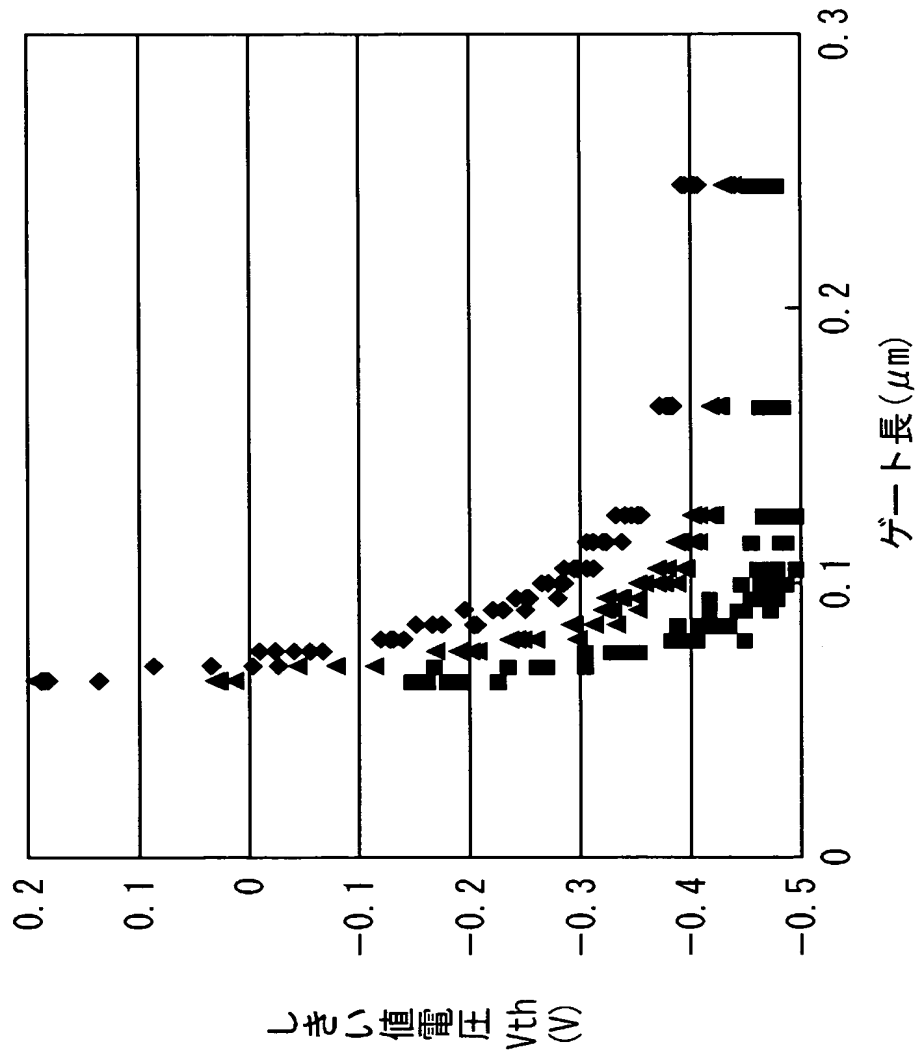
【図 16】



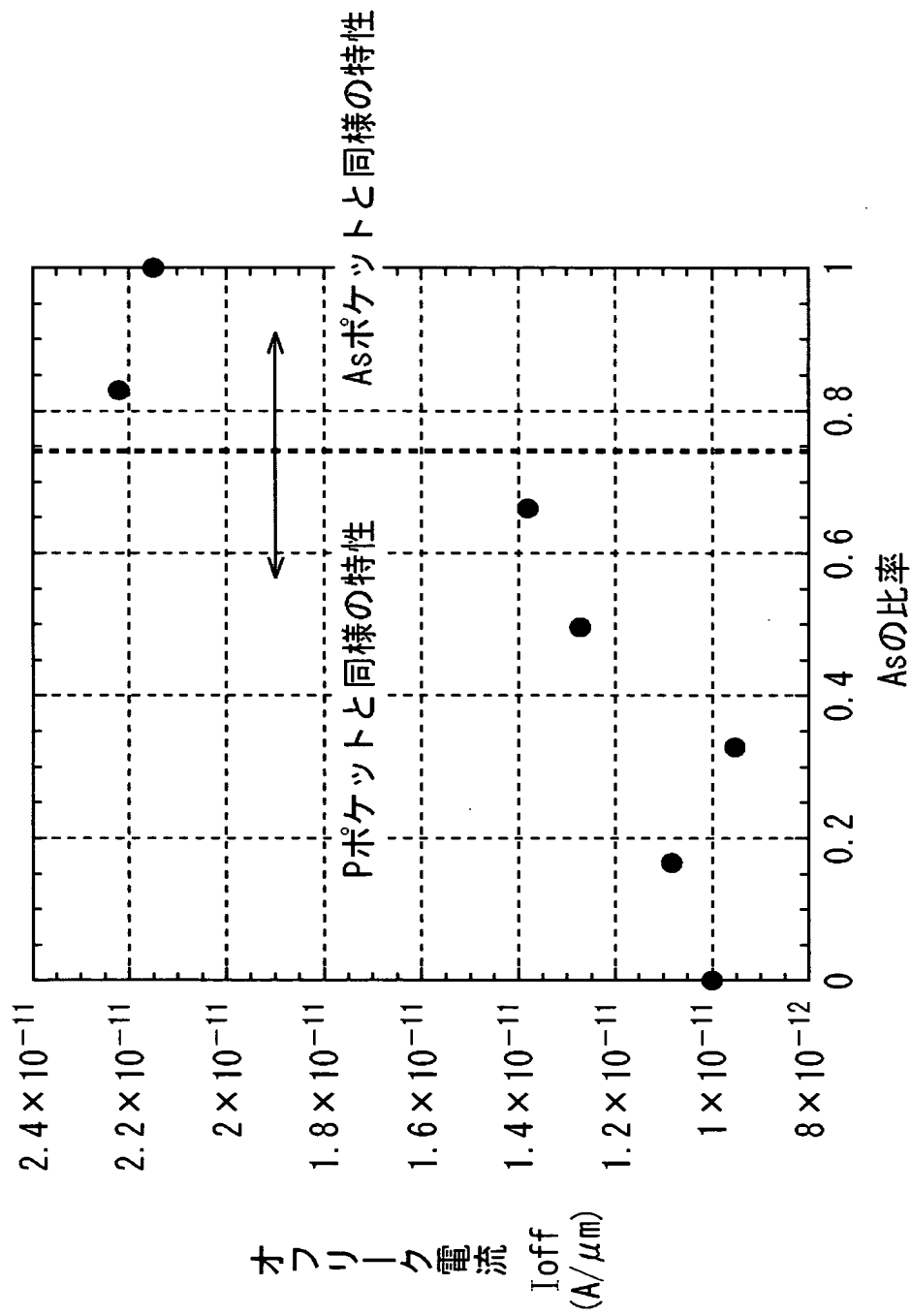
【図 17】

P⁺ポケット

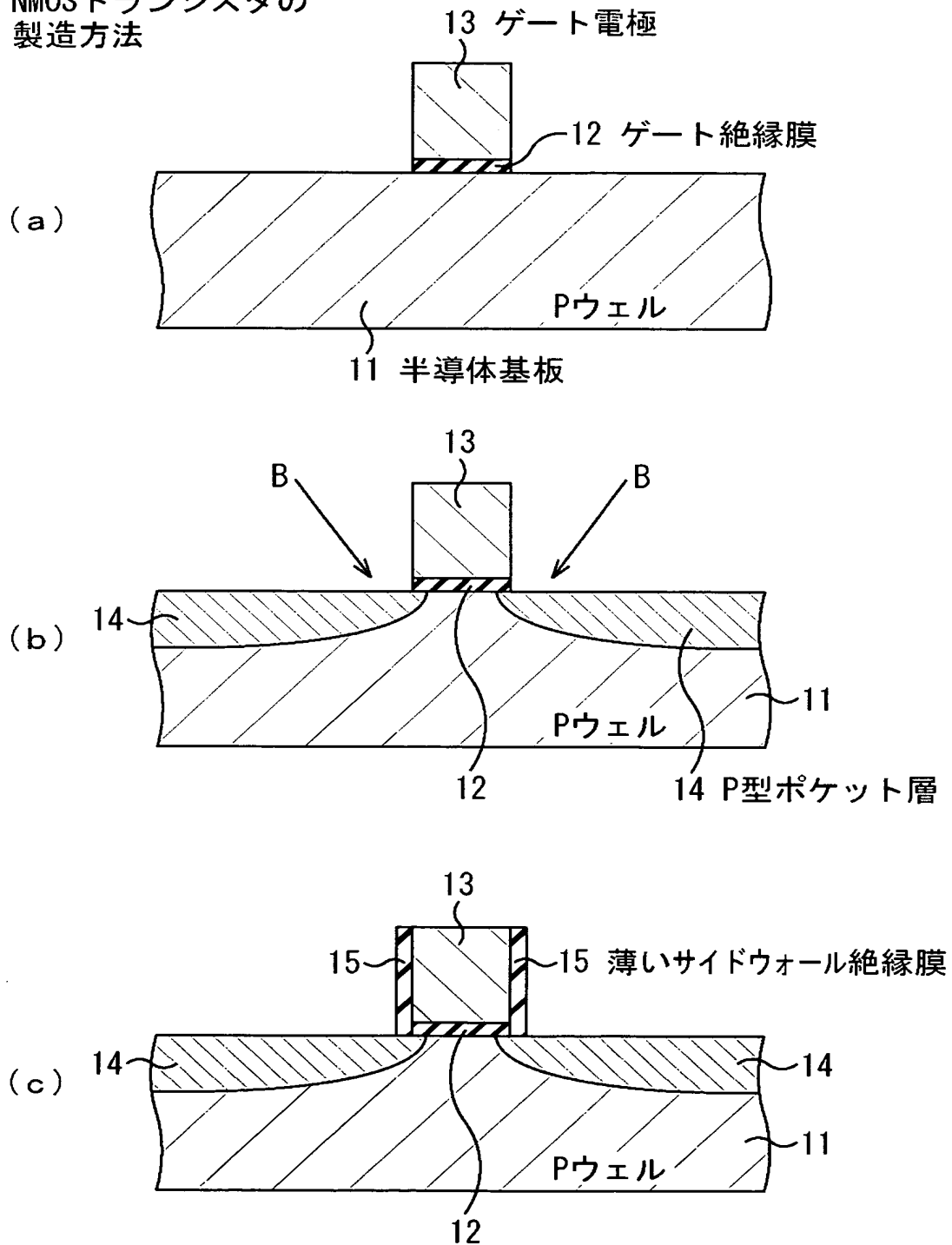
【図 18】



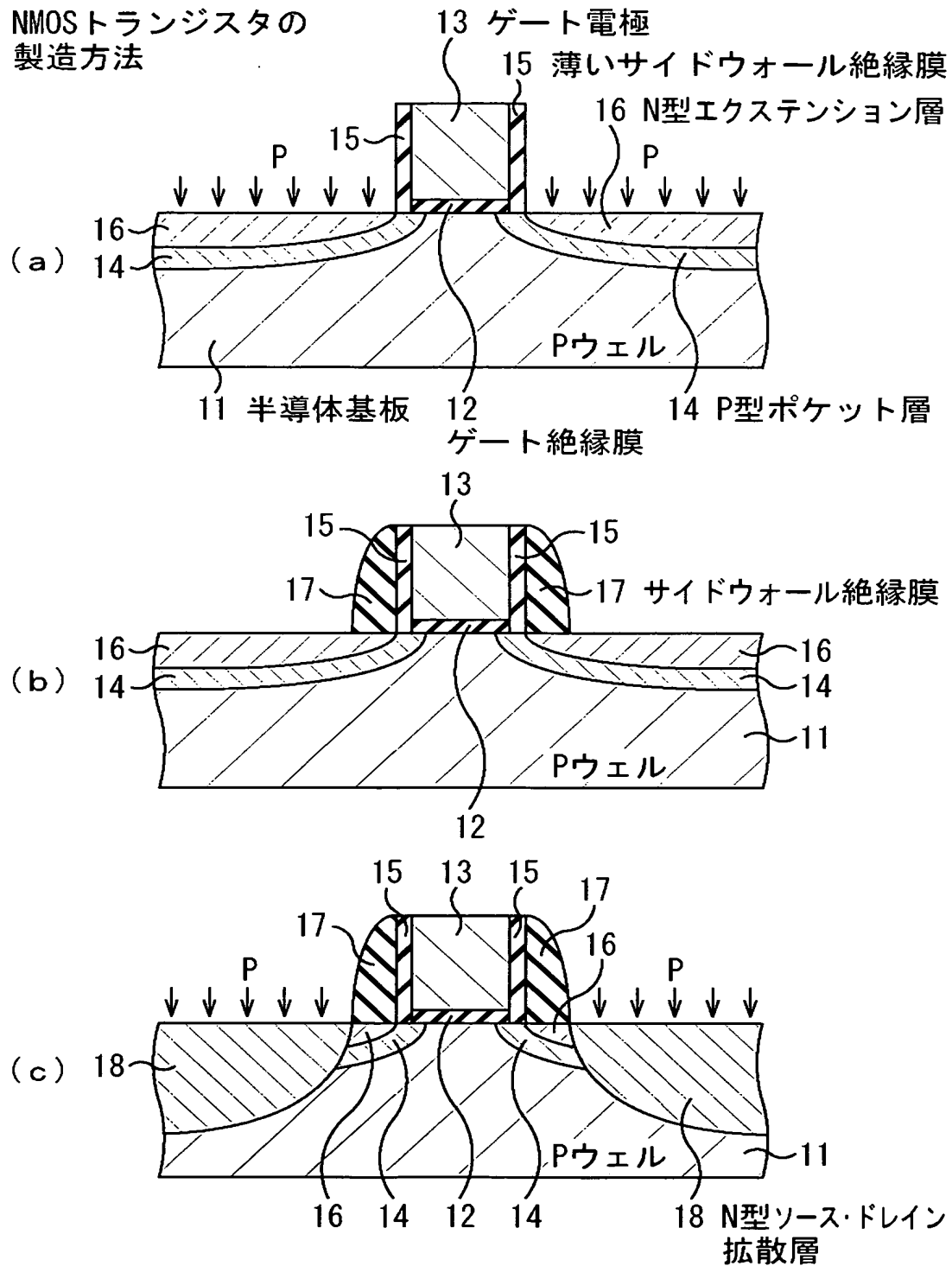
【図 19】



【図 20】

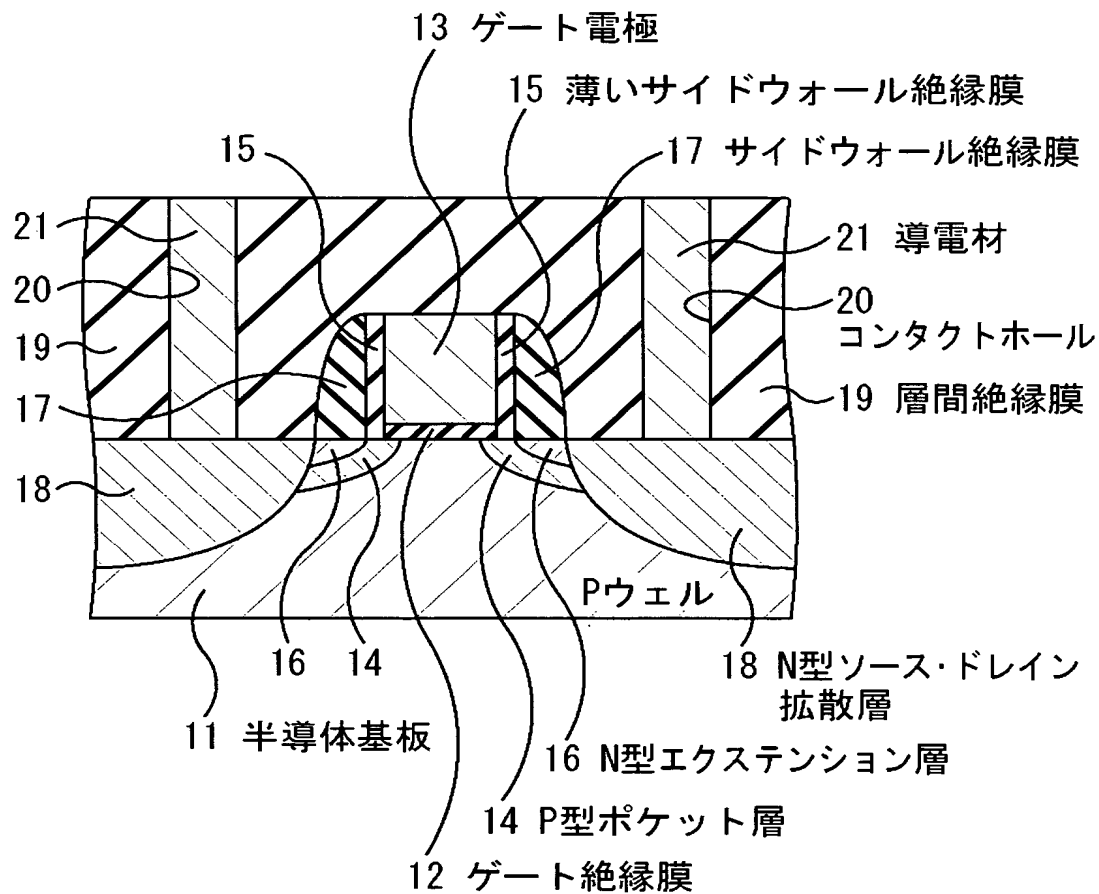
NMOSトランジスタの
製造方法

【図 21】

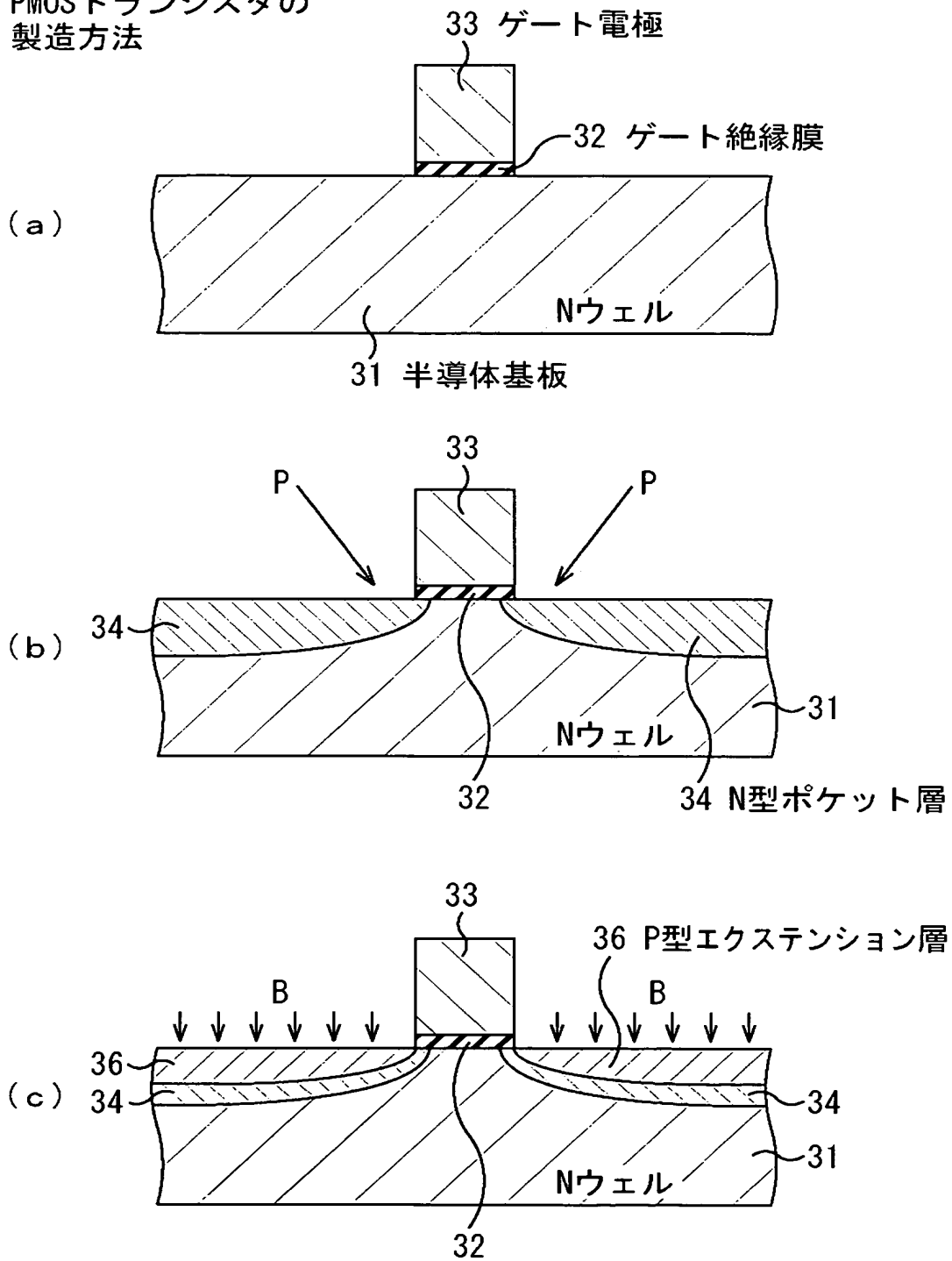
NMOSトランジスタの
製造方法

【図 22】

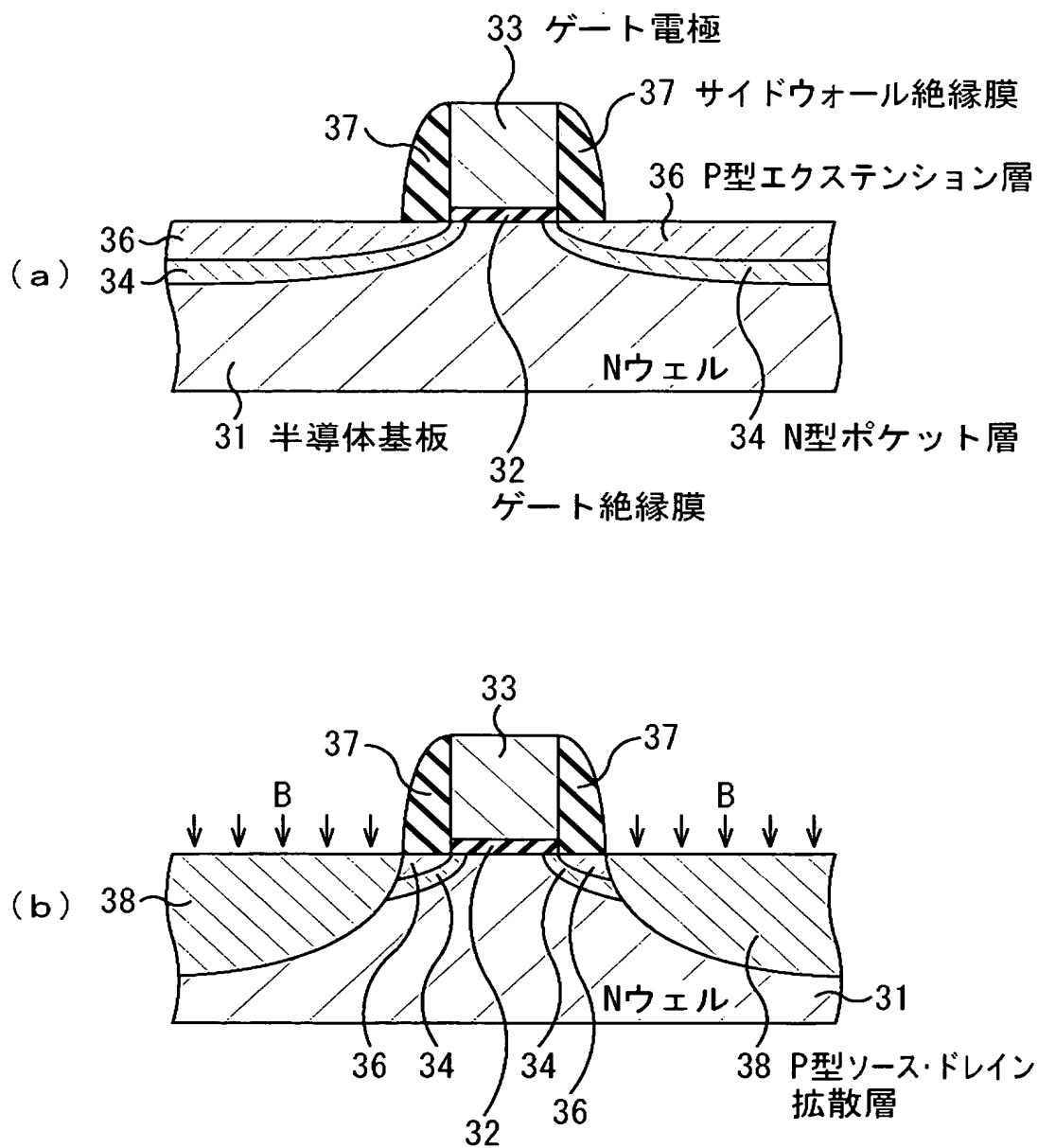
NMOSトランジスタの製造方法



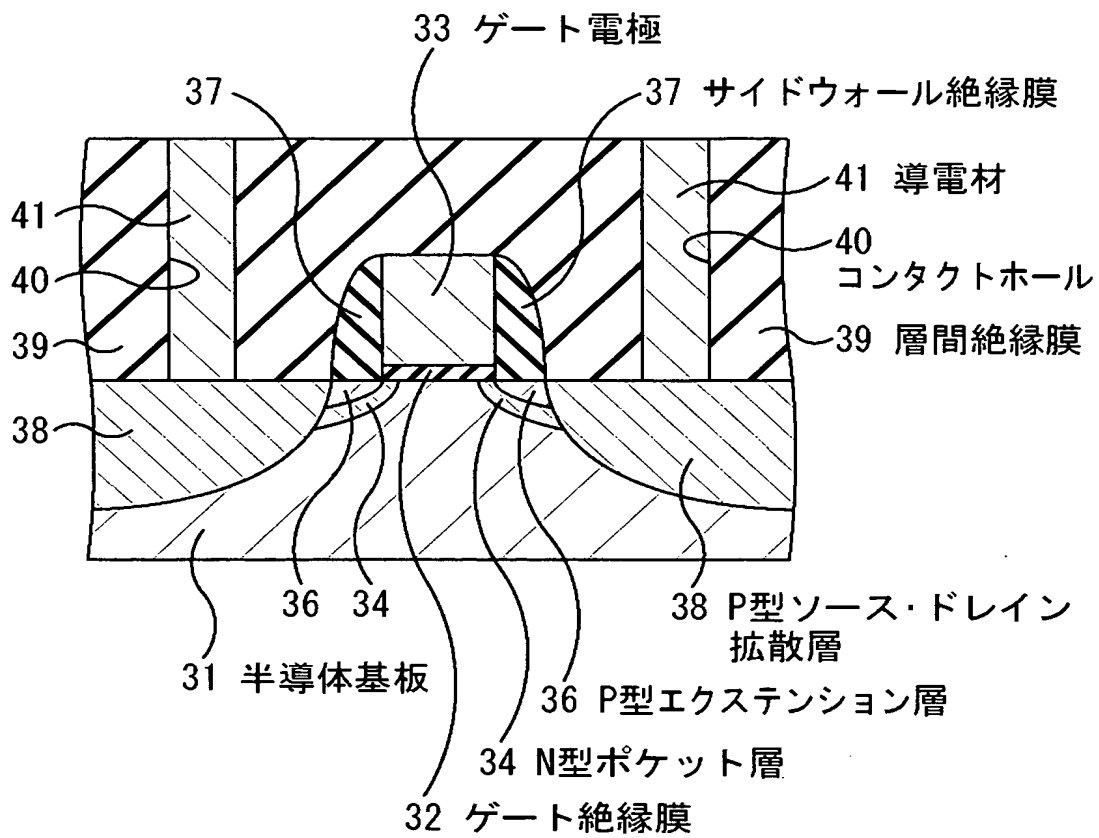
【図 23】

PMOSトランジスタの
製造方法

【図 24】

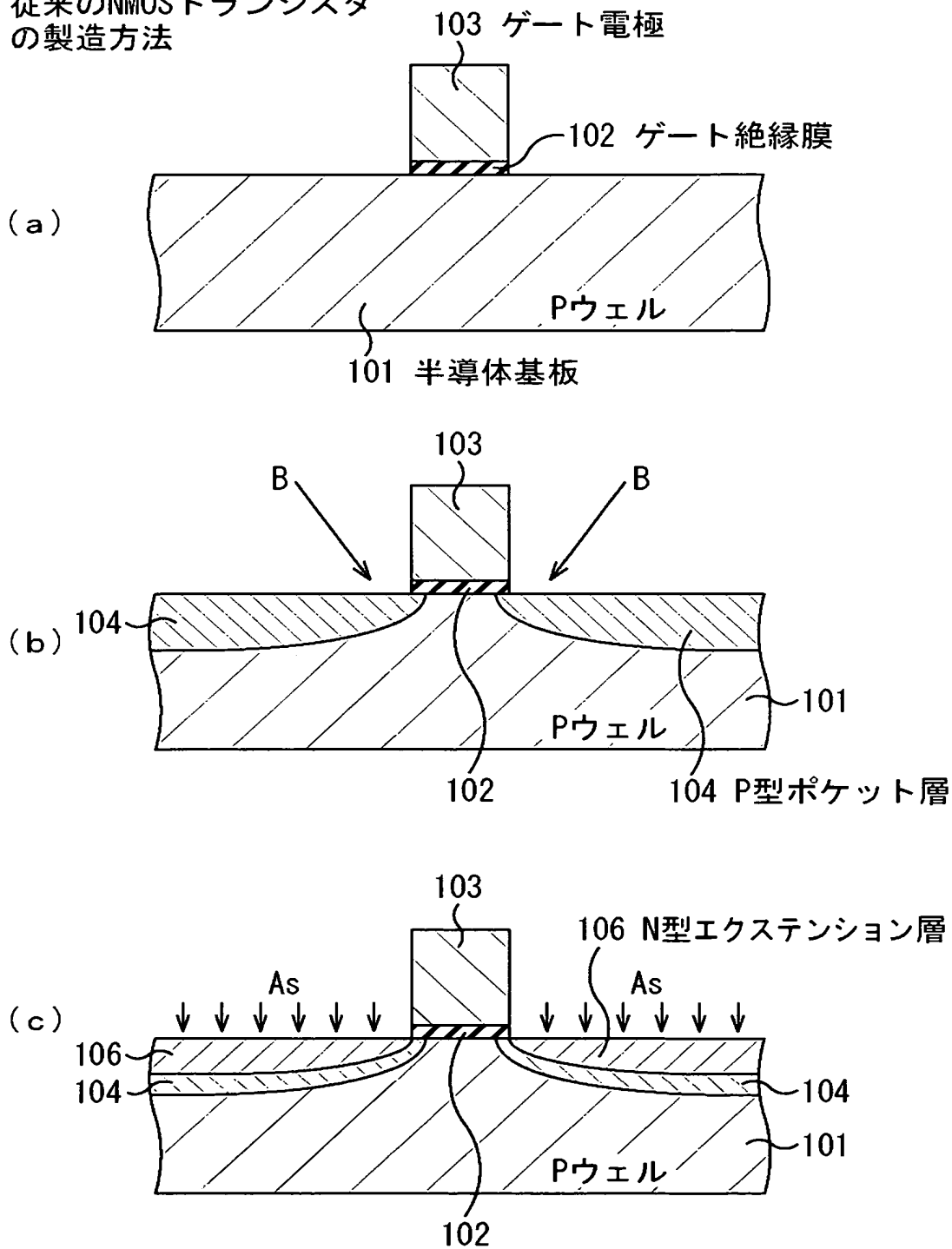


【図 25】

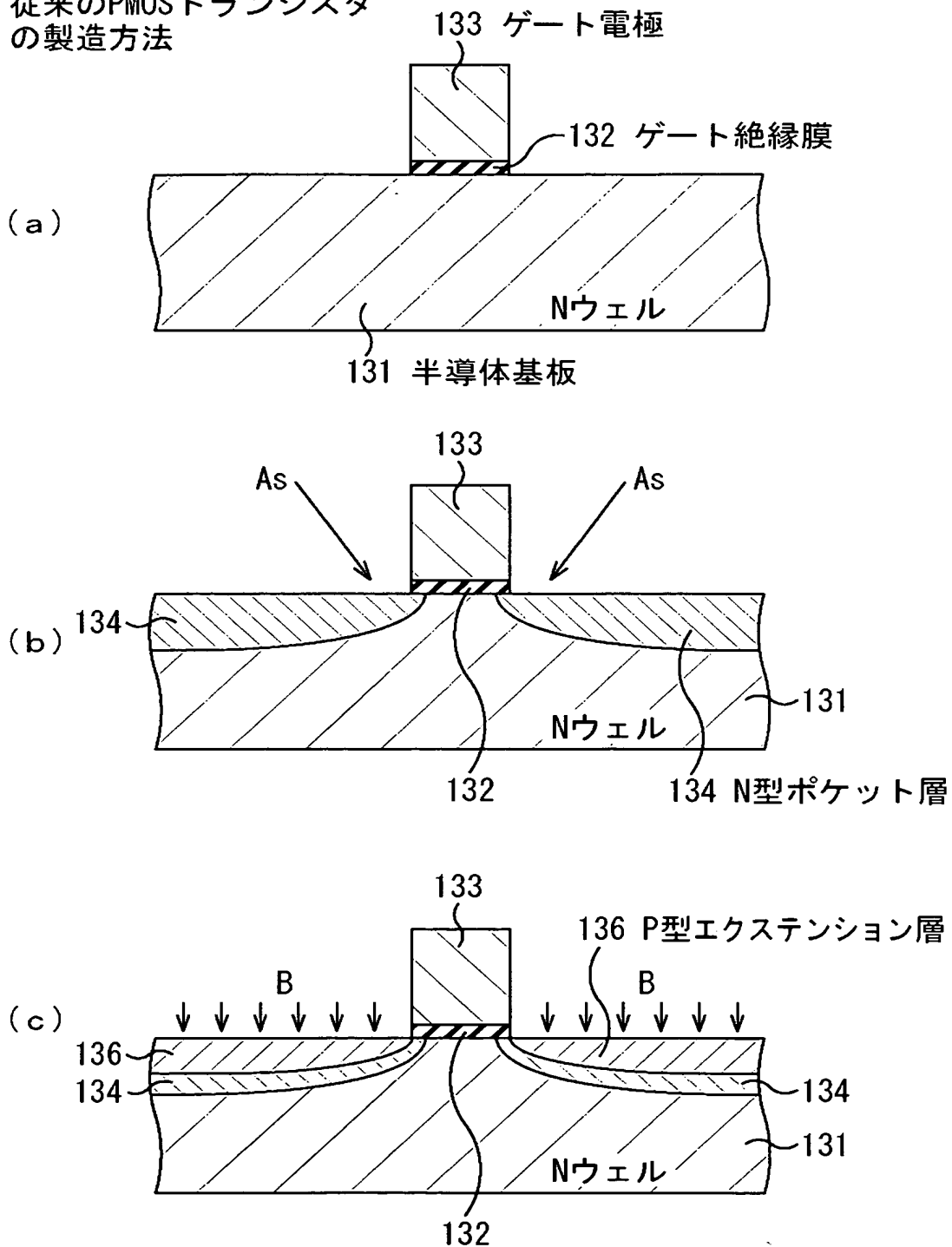


【図 26】

従来のNMOSトランジスタ
の製造方法



【図 27】

従来のPMOSトランジスタ
の製造方法

【書類名】 要約書

【要約】

【課題】 ゲート長が100nm以下であってもオフリーク電流を十分に抑制することができる半導体装置及びその製造方法を提供する。

【解決手段】 P型ポケット層14を半導体基板11の表面に形成した後、幅が10nm程度の薄いサイドウォール絶縁膜15を形成し、Pのイオン注入を行う。この結果、P型ポケット層14の表面にN型エクステンション層16が形成される。その後、サイドウォール絶縁膜17を形成し、Pのイオン注入を行うことにより、N型ソース・ドレイン拡散層18を形成する。このような形成方法によれば、ポケット層の形成に、従来用いられているAsよりも拡散係数が高いPを用いているので、チャネル近傍の強い電界が緩和される。この結果、ゲート長が100nm以下であっても、ドレインと半導体基板との間のリーク電流が低減され、オフリーク電流が低減される。

【選択図】 図21



特願 2 0 0 3 - 0 5 3 3 3 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社